LTD2532
24 位分辨率高性能模拟数字转换器

1. 产品描述

LTD2532 是一颗 24 位分辨率、高性能、模数转换器（ADC）。器件内部集成了多路复用器、低噪声可编程增益放大器、四阶Δ-Σ调制器，以及可编程数字滤波器组合。器件采用 SPI 通信协议进行交互。

多路复用器可以实现两路差分输入通道的相互切换，以及包括内部输入短路、共模测试等多种测试模式的切换。

器件内部集成的可编程增益放大器具有高输入阻抗和低噪声的特点，对于小信号的精密测量有显著优势，同时其自稳零技术有效地将失调电压、失调电压漂移以及 1/f 噪声降到最小。

四阶固有稳定调制器提供了出色的噪声性能和线性度，调制器输出的信号再通过片上数字滤波器进行滤波和抽取，以完成模数转换。

在 4.096M 输入时钟情况下，器件的 FIR 数字滤波器组合可以实现 250 到 4000 SPS 的数据转换速率，对应于最高 1652Hz 的-3dB 信号带宽。器件支持更低的外部输入时钟，用户可以根据采样率需求选择输入的时钟频率。例如，在 1.024M 输入时钟的情况下，器件可以实现 62.5SPS 到 1000SPS 的数据转换速率。同时，由于噪声带宽的降低，器件可以获得更优的噪声性能。

器件还支持增益误差和失调电压的系统校准功能。器件优化了失真性能，典型积分非线性性能可达±0.0001%FS。器件优化了针对工业现场的可靠性，器件的 HBM ESD 可达 4000V 以上。

器件具备同步功能，允许外部信号触发 ADC 的数据转换动作，因此可以用同一触发信号同步控制多个器件进行同步转换。器件的关断引脚可以使器件功耗最小化运行并复位寄存器设置。SPI 兼容性允许并行器件共享公共串行总线。

LTD2532 采用紧凑型 24 引脚、4 mm × 5 mm QFN 封装，最大工作温度范围为-50℃至+125℃。

2. 特点与优势

- 高性能：
  - – 18 mW (PGA = 1, 2, 4 and 8)
  - – 130 dB SNR (250 SPS, PGA = 1)
- 总谐波失真： – 120 dB
- 共模抑制比： 110 dB
- PGA 噪声低至 5nV/√Hz
- 两差分多路复用器
- 低噪声高输入阻抗可编程增益放大器
- 固有稳定四阶Δ-Σ调制器
- 失调与增益系统校准
- 外部管脚同步功能
- SPI 兼容
- 模拟供电：2.7V ~ 5 V or ±1.35V ~ ±2.5V
- 数字供电：1.65 V to 5.5 V

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

3. 典型应用

- 高精度仪器
- 快速称重

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

目录

目录

1. 产品描述 1
2. 特点与优势 1
3. 典型应用 2
4. 历史修订 2
5. 管脚定义 5
6. 功能模块图 6
7. 订购信息 6
8. 极限值 6
9. ESD 等级 6
10. 推荐工作条件 7
11. 电性能 7
12. 典型表征 10
    12.1. 噪声性能统计 10
    12.2. 直流噪声性能 11
    12.3. 交流特性 14
13. 详细描述 15
    13.1. 模拟输入与多路复用器 15
    13.2. 可编程增益放大器 16
    13.3. 模数转换器 17
    13.4. 功能模式 21
    13.5. 指令与编程 27
    13.6. 寄存器映射 30
14. 代码示例 33
15. 封装信息 34

图示列表

图 1 管脚定义 5
图 2 功能模块图 6
图 3 串行接口时序图 9
图 4 250SPS PGA=1 11
图 5 250SPS PGA=64 11
图 6 500SPS PGA=1 12
图 7 500SPS PGA=64 12
图 8 1000SPS PGA=1 12
图 9 1000SPS PGA=64 12
图 10 2000SPS PGA=1 13
图 11 2000SPS PGA=64 13
图 12 4000SPS PGA=1 13
图 13 4000SPS PGA=64 13
图 14 250SPS PGA=1 14
图 15 250SPS PGA=8 14
图 16 500SPS PGA=1 14
图 17 500SPS PGA=8 14
图 18 1000SPS PGA=1 14
图 19 1000SPS PGA=8 14
图 20 2000SPS PGA=1 15
图 21 2000SPS PGA=8 15
图 22 模拟输入多路复用器 15
图 23 斩波开启/关断下的 PGA 噪声水平 16
图 24 调制器过阈值监测原理 17
图 25 参考电压输入电路 18
图 26 数字滤波器配置示意框图 18
图 27 a) Sinc 滤波器频率响应 b) Sinc 滤波器滚降 19
图 28 a) FIR 通带频率响应 b) FIR 过渡带频率响应 20
图 29 FIR 群延迟 (f_{DATA} = 500Hz) 20
图 30 单脉冲触发的同步时序 21
图 31 复位时序 22
图 32 上电时序 23
图 33 连续数据采集时序 25
图 34 指令数据采集模式时序 25
图 35 校正时序 26
图 36 STANDBY 和 WAKEUP 指令时序 28
图 37 RREG 时序 28
图 38 WREG 时序 29

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

表格列表

表 1 f_{CLK} = 4.096 M 时噪声结果 $uV_{RMS}(uV_{PP})$ 10
表 2 f_{CLK} = 4.096 M 时有效分辨率（无噪声分辨率） 10
表 3 f_{CLK} = 1.024 M 时噪声结果 $uV_{RMS}(uV_{PP})$ 11
表 4 f_{CLK} = 1.024 M 时有效分辨率（无噪声分辨率） 11
表 5 多路复用器配置 15
表 6 可编程增益放大器配置 16
表 7 不同增益下的差分输入阻抗 16
表 8 数字滤波器组合配置 18
表 9 Sinc 滤波模式抽取率与数据速率 19
表 10 FIR 抽取率与数据速率 19
表 11 相位模式选择 20
表 12 HPF[1:0] 寄存器数值示例 20
表 13 同步时序 21
表 14 延迟时间与数据速率的关系（Sinc 滤波器） 21
表 15 复位时序 22
表 16 理想的输出编码 24
表 17 数据采集时序 25
表 18 指令列表 27
表 19 寄存器映射 30
表 20 封装信息 34

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

4. 管脚定义

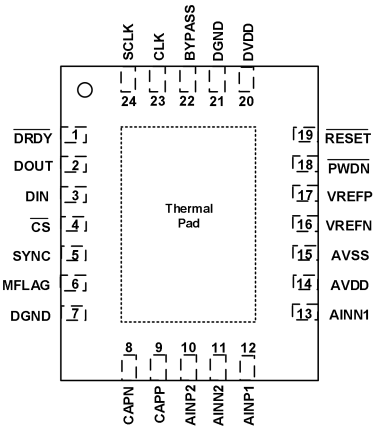


图 1 管脚定义

符号	编号	I/O	功能描述
AINN1	13	模拟输入	模拟输入 1 负端
AINN2	11	模拟输入	模拟输入 2 负端
AINP1	12	模拟输入	模拟输入 1 正端
AINP2	10	模拟输入	模拟输入 2 正端
AVDD	14	模拟供电	模拟供电正电源
AVSS	15	模拟供电	模拟供电负电源
BYPASS	22	模拟输出	1.8V 内部供电输出端：连接 1 µF 电容到数字地
CAPN	8	模拟输出	可编程增益放大器输出负端：连接 10 nF 电容到 CAPP
CAPP	9	模拟输出	可编程增益放大器输出正端：连接 10 nF 电容到 CAPN
CLK	23	数字输入	主时钟输入
$\overline{CS}$	4	数字输入	串行接口片选：低电平有效
DGND	7	地	数字地
DGND	21	地	数字地
DIN	3	数字输入	串行接口数据输入
DOUT	2	数字输出	串行接口数据输出
$\overline{DRDY}$	1	数字输出	转换完成指示：低有效
DVDD	20	数字供电	数字供电电源。如果数字供电低于 2.25V，则将 DVDD 与 BYPASS 管脚短接
MFLAG	6	数字输出	调制器过阈值指示： 0 = 输出正常, 1 = 过阈值
$\overline{PWDN}$	18	数字输入	关断输入：低电平有效
$\overline{RESET}$	19	数字输入	复位输入：低电平有效
SCLK	24	数字输入	串行接口移位时钟输入
SYNC	5	数字输入	同步控制输入：上升沿有效
VREFN	16	模拟输入	参考电压输入负端
VREFP	17	模拟输入	参考电压输入正端
Thermal pad			不要对散热片进行电学连接。散热片需要被焊接在 PCB 上。可以选择采用散热通孔，或者移除

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

5. 功能模块图

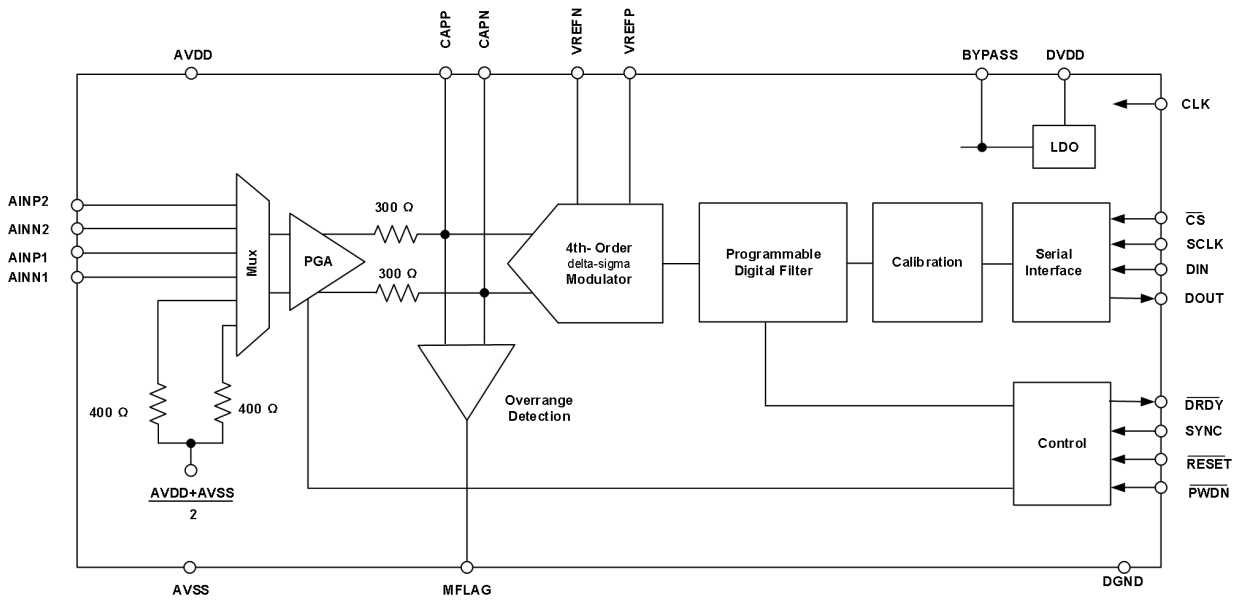


图 2 功能模块图

6. 订购信息

型号	封装	数量	丝印
LTD2532XF24/R1	QFN4×5-24L	Tape and Reel, 500	D2532

7. 极限值

参数	最小值	最大值	单位
AVDD to AVSS	-0.3	5.5	V
AVSS to DGND	-2.8	0.3	V
DVDD to DGND	-0.3	5.5	V
模拟输入电压	AVSS-0.3	AVDD+0.3	V
数字输入电压	-0.3	DVDD+0.3	V
持续输入电流	-10	10	mA
环境温度	-50	125	°C
结温度		150	°C
储存温度	-60	150	°C

8. ESD 等级

参数	等级	单位
ESD 人体模型(HBM), per ANSI/ESDA/JEDEC JS-001, all pins	±4000	V
ESD 带电器件模型(CDM), per ANSI/ESDA/JEDEC JS-002	±500	V

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

9. 推荐工作条件

参数		最小值	典型值	最大值	单位
供电					
AVSS	模拟供电负端 (DGND 为参考)	-2.6		0	V
AVDD	模拟供电正端 (AVSS 为参考)	AVSS + 3		AVSS + 5.25	V
DVDD	数字供电 (DGND 为参考)	1.65		5.5	V
模拟输入					
FSR	满幅度输入电压范围 (VIN=AINP - AINN)		$\pm V_{REF}/(2\times PGA)$		V
	校正裕度			106	%FSR
AINX	绝对输入电压范围	AVSS + 0.7		AVDD – 1.25	V
参考电压输入					
V_{REF}	参考电压 (VREF = VREFP – VREFN)	1	5	AVDD – AVSS + 0.2	V
VREFN	负参考电压输入	AVSS – 0.1		VREFP – 1	V
VREFP	正参考电压输入	VREFN + 1		AVDD + 0.1	V
数字输入					
V_{IH}	输入电压高电平	0.8 × DVDD		DVDD	V
V_{IL}	输入电压低电平	DGND		0.2 × DVDD	V
f_{CLK}	主时钟频率	1		4.096	MHz
f_{SCLK}	串行接口移位频率			f_{CLK} / 2	MHz

10. 电性能

电性能最大值与最小值在-40°C to +85°C 温度范围内测得，典型值在室温下测得，AVDD = 2.5 V，AVSS = –2.5 V，f_{CLK} = 4.096 MHz，VREFP = 2.5 V，VREFN = –2.5 V，DVDD = 3.3 V，PGA = 1，开启固定失调（75mV），开启斩波模式，f_{DATA} = 1000 SPS (除非另有特别说明)

参数		条件	最小值	典型值	最大值	单位
模拟输入						
	可编程增益放大器输入电压噪声密度	High-resolution mode		5		nV/√Hz
	差分输入阻抗	CHOP enabled		1		GΩ
		CHOP disabled		100		
	共模输入阻抗			1		GΩ
I_{IB}	输入偏置电流			1		nA
	串扰	f = 31.25 Hz		-135		dB
	多路复用器选择导通电阻	Each switch		30		Ω
可编程增益放大器输出（CAPP，CAPN）						
	绝对输出范围		AVSS + 0.4		AVDD – 0.4	V
	输出阻抗	Differential		600		Ω
	输出阻抗精度			±10%		
	外接 BYPASS 电容大小			10	100	nF
	调制器输入阻抗			55		kΩ
交流特性						
SNR	信噪比		120	124		dB
THD	总谐波失真	PGA = 1, 2, 4, 8, 16		-122	-107	dB
		PGA = 32		-117	-110	
		PGA = 64		-114		
SFDR	无杂散动态范围			123		dB
直流特性						
	分辨率		24			Bits
f_{DATA}	转换速率	FIR filter mode	250		4000	SPS
		Sinc filter mode	8000		128000	

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

	失调电压	Offset disabled		±50	±200	µV
		Offset and Chop disabled		300		
		75 mV offset	70 / PGA	75 /PGA	80 / PGA	mV
		100 mV offset	95 / PGA	100 / PGA	105 / PGA	
	校正后失调电压			1		µV
	失调电压漂移	CHOP enabled		0.03		µV/°C
		CHOP disabled		0.5		
	增益误差	Low-power mode	-2%	-1.0%	0%	
		High-resolution mode	-2.5%	-1.5%	-0.5%	
	校正后增益误差			0.0002%		
	增益漂移	PGA = 1		2		ppm/°C
		PGA = 16		9		
	增益匹配			0.3%	0.8%	
CMR	共模抑制	f_{CM} = 60Hz, 1.25V_{PP}		114		dB
PSR	电源抑制	f_{PS} = 60Hz, 100 mV_{pp}, AVDD, AVSS	80	90		dB
		f_{PS} = 60Hz, 100 mV_{pp}, DVDD	90	115		
参考电压输入						
	参考电压输入阻抗			85		kΩ
数字滤波器响应						
	通带纹波				±0.003	dB
	-0.01 dB 带宽			0.375×f_{DATA}		Hz
	-3 dB 带宽			0.413×f_{DATA}		Hz
	高通滤波器转角频率		0.1		10	Hz
	阻带衰减		135			dB
	阻带带宽			0.50×f_{DATA}		Hz
	群延迟			31 / f_{DATA}		s
	建立时间（延迟）			62/ f_{DATA}		s
数字输入/输出						
V_{OH}	输出高电平	I_{OH} = 1 mA	0.8×DVDD			V
V_{OL}	输出低电平	I_{OL} = 1 mA			0.2×DVDD	V
I_{lkg}	输入漏电流	0<$V_{DIGITAL\ IN}$ < DVDD			±10	µA
电源供电						
I_{AVDD} I_{AVSS}	模拟供电电流	PGA = 1, 2, 4, 8		3.2	5.5	mA
		PGA = 16, 32, 64		4	6	
I_{DVDD}	数字供电电流			1	2	mA
PD	功率	PGA = 1, 2, 4, 8		19	33	mW
		PGA = 16, 32, 64		23	36	
时序						
t_{CSSC}	CS 低电平到 SCLK 高电平的建立时间		40			ns
t_{SCLK}	SCLK 周期		2		16	1 / f_{CLK}
$t_{SPWH, L}$	SCLK 高/低电平脉宽		0.8		10	1 / f_{CLK}
t_{DIST}	有效 DIN 到 SCLK 高电平的建立时间		50			ns
t_{DIHD}	有效 DIN 到 SCLK 高电平的保持时间		50			ns
t_{CSH}	CS 高电平脉宽		100			ns
t_{sccs}	SCLK 高电平到 CS 低电平		24			1 / f_{CLK}
t_{CSDOD}	CS 低电平到 DOUT 传输延迟	Load on DOUT = 20 pF || 100 kΩ			60	ns
t_{DOPD}	SCLK 低电平到下一有效 DOUT 的传输延迟				100	ns
t_{DOHD}	SCLK 低电平到无效 DOUT 的保持时间		0			ns
t_{CSDOZ}	CS 高电平到 DOUT 高阻态				40	ns

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

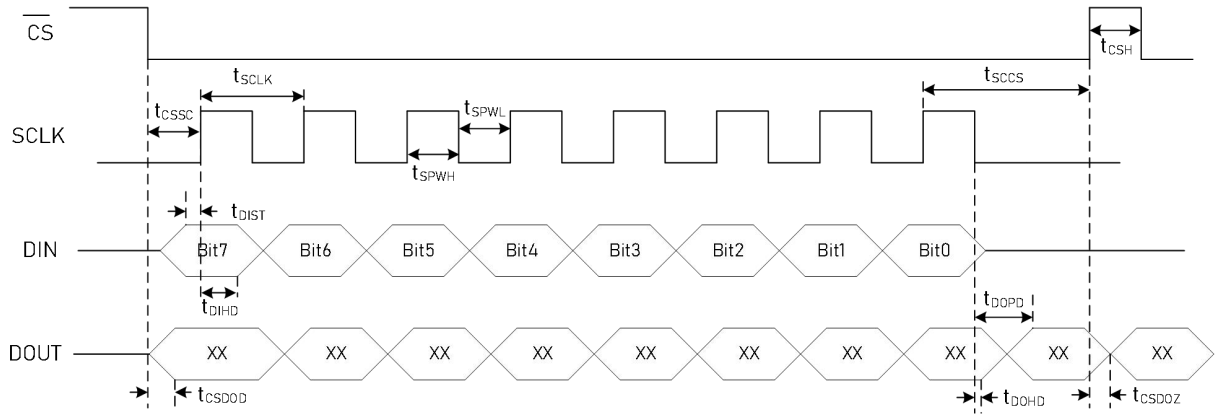


图 3 串行接口时序图

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

11. 典型表征

11.1. 噪声性能统计

LTD2532 器件的噪声性能的关键影响因素是数据速率和 PGA 增益：由于噪声谱呈现白噪声特性（在频域上分布平坦），降低数据速率可成比例地缩减系统带宽，从而有效降低总噪声水平；同时，由于 PGA 的本底噪声低于 ADC 调制器噪声，当以输入参考噪声为评价指标时，提升增益可显著改善噪声性能。

通过对 ADC 输出两点数据求平均，其噪声性能较常规工作模式可提升 √2 倍。

表 1 列出了特定测试条件下的噪声性能参数，以μV_{RMS}（括号内为峰峰值）为单位进行表征。表 2 则展示了不同配置下的有效分辨率（位数），括号内数值为无噪声分辨率指标。需要说明的是，无噪声分辨率表征的是 ADC 在无码值抖动时的有效分辨率，其计算基于峰峰值噪声测量结果。

表格中列出的有效分辨率数据通过下式计算得出：

有效分辨率或无噪声分辨率 = ln(FSR / e_n) / ln(2)

其中：

FSR = 满量程范围 = VREF / 2*PGA

e_n = 输入参考电压噪声

噪声数据基于 ADC 连续采样结果的标准差和峰峰值计算得出。计算有效分辨率时采用 RMS 值，计算无噪声分辨率时采用峰峰值。在+25℃，AVDD = 2.5 V，AVSS = -2.5 V，f_{CLK} = 4.096 MHz，VREFP = 2.5 V，VREFN = -2.5 V，DVDD = 3.3 V，开启固定失调 100mV，内部输入短接模式，采集 8192 个数据点，并利用 BlackHarris 窗进行分析。由于噪声的统计特性，重复测量可能得到更高或更低的噪声性能结果。

表 1 f_{CLK} = 4.096 M 时噪声结果 uV_{RMS}(uV_{PP})

采样率	-3dB 带宽	增益						
		1	2	4	8	16	32	64
250	103	0.57(3.87)	0.30(2.38)	0.19(1.27)	0.14(1.00)	0.10(0.75)	0.09(0.71)	0.09(0.65)
500	206	0.78(5.96)	0.42(2.98)	0.26(1.79)	0.20(1.49)	0.14(1.00)	0.14(1.14)	0.13(0.91)
1000	413	1.12(8.05)	0.61(4.77)	0.37(2.61)	0.28(2.31)	0.20(1.49)	0.20(1.57)	0.19(1.38)
2000	826	1.56(11.9)	0.85(6.71)	0.52(4.17)	0.39(3.02)	0.28(2.07)	0.28(2.05)	0.27(1.97)
4000	1652	2.33(17.88)	1.24(8.80)	0.75(5.96)	0.57(4.36)	0.39(3.09)	0.39(2.92)	0.37(3.34)

表 2 f_{CLK} = 4.096 M 时有效分辨率（无噪声分辨率）

采样率	-3dB 带宽	增益						
		1	2	4	8	16	32	64
250	103	23.1(20.3)	23.0(20.0)	22.7(19.9)	22.1(19.3)	21.6(18.7)	20.6(17.7)	19.7(16.9)
500	206	22.6(19.7)	22.5(19.6)	22.2(19.4)	21.5(18.6)	21.1(18.2)	20.0(17.0)	19.2(16.4)
1000	413	22.1(19.2)	22.0(19.0)	21.7(18.9)	21.0(18.0)	20.6(17.7)	19.6(16.6)	18.7(15.8)
2000	826	21.6(18.7)	21.5(18.5)	21.2(18.2)	20.6(17.6)	20.1(17.2)	19.1(16.2)	18.1(15.3)
4000	1652	21.0(18.2)	20.9(18.1)	20.7(17.7)	20.0(17.1)	19.6(16.6)	18.6(15.7)	17.7(14.5)

在+25℃，AVDD = 2.5 V，AVSS = -2.5 V，f_{CLK} = 1.024 MHz，VREFP = 2.5 V，VREFN = -2.5 V，DVDD = 3.3 V，开启固定失调 100mV，内部输入短接模式，采集 8192 个数据点，并利用 BlackHarris 窗进行分析。由于噪声的统计特性，重复测量可能得到更高或更低的噪声性能结果。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

表 3 f_{CLK} = 1.024 M 时噪声结果 $uV_{RMS}(uV_{PP})$								
采样率	-3dB 带宽	增益						
		1	2	4	8	16	32	64
62.5	26	0.62(4.77)	0.29(2.23)	0.16(1.19)	0.11(0.75)	0.06(0.41)	0.05(0.39)	0.04(0.33)
125	52	0.70(4.76)	0.37(2.68)	0.19(1.42)	0.12(0.97)	0.07(0.56)	0.07(0.50)	0.06(0.43)
250	103	1.00(7.45)	0.52(3.58)	0.28(2.24)	0.16(1.19)	0.10(0.76)	0.09(0.64)	0.09(0.64)
500	206	1.42(10.43)	0.73(4.92)	0.38(3.20)	0.23(1.94)	0.14(1.12)	0.13(0.93)	0.12(0.90)
1000	413	2.17(17.29)	1.07(9.09)	0.58(5.14)	0.34(2.57)	0.21(1.75)	0.19(1.26)	0.17(1.28)

表 4 f_{CLK} = 1.024 M 时有效分辨率（无噪声分辨率）								
采样率	-3dB 带宽	增益						
		1	2	4	8	16	32	64
62.5	26	22.9(20.0)	23.0(20.1)	22.9(20.0)	22.5(19.7)	22.4(19.5)	21.7(18.6)	20.8(17.8)
125	52	22.8(20.0)	22.7(19.8)	22.7(19.7)	22.3(19.3)	22.0(19.0)	21.2(18.2)	20.3(17.5)
250	103	22.3(19.4)	22.2(19.4)	22.1(19.1)	21.9(19.0)	21.5(18.6)	20.7(17.9)	19.8(16.9)
500	206	21.7(18.8)	21.7(19.0)	21.6(18.6)	21.4(18.3)	21.0(18.0)	20.2(17.4)	19.3(16.4)
1000	413	21.1(18.1)	21.1(18.0)	21.0(17.9)	20.8(17.9)	20.5(17.5)	19.7(16.9)	18.8(15.9)

11.2. 直流噪声性能

+25℃，AVDD = 2.5 V，AVSS = -2.5 V，f_{CLK} = 4.096 MHz，VREFP = 2.5 V，VREFN = -2.5 V，DVDD = 3.3 V，PGA = 1，高性能模式，开启固定失调 100mV，开启 OFSCAL，输入短接，FIR 滤波器模式，测试 8192 点输出噪声统计性能。

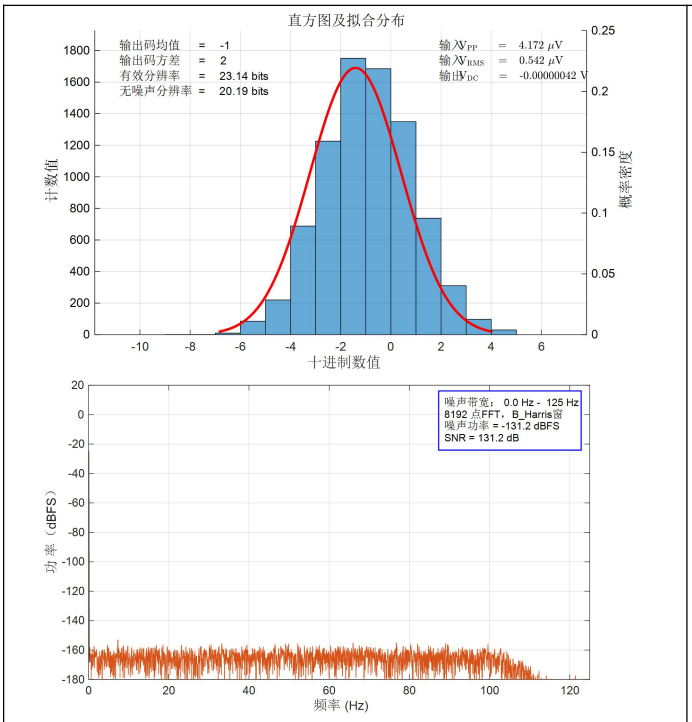


图 4 250SPS PGA=1

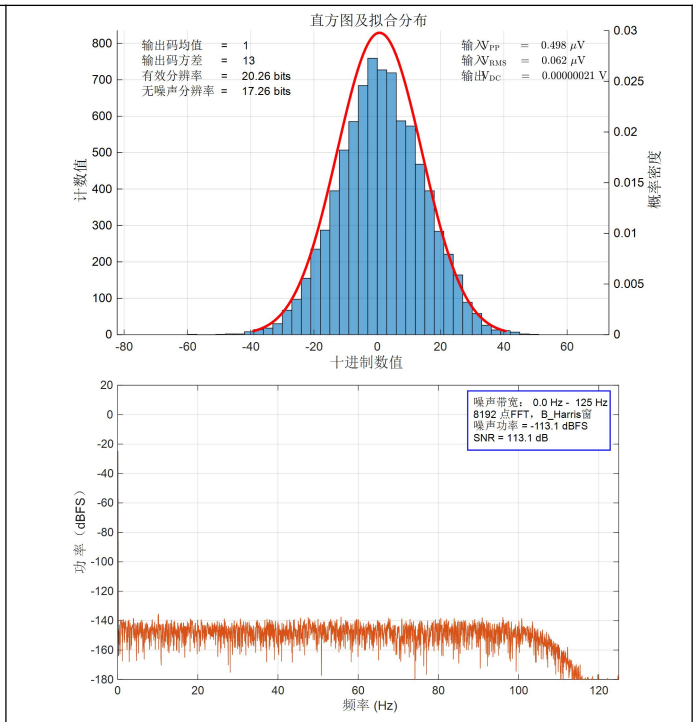


图 5 250SPS PGA=64

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

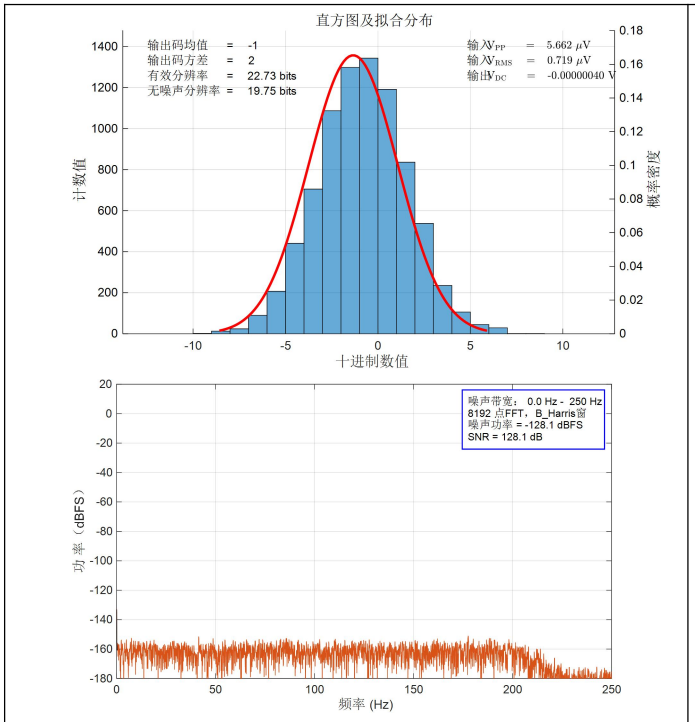


图 6 500SPS PGA=1

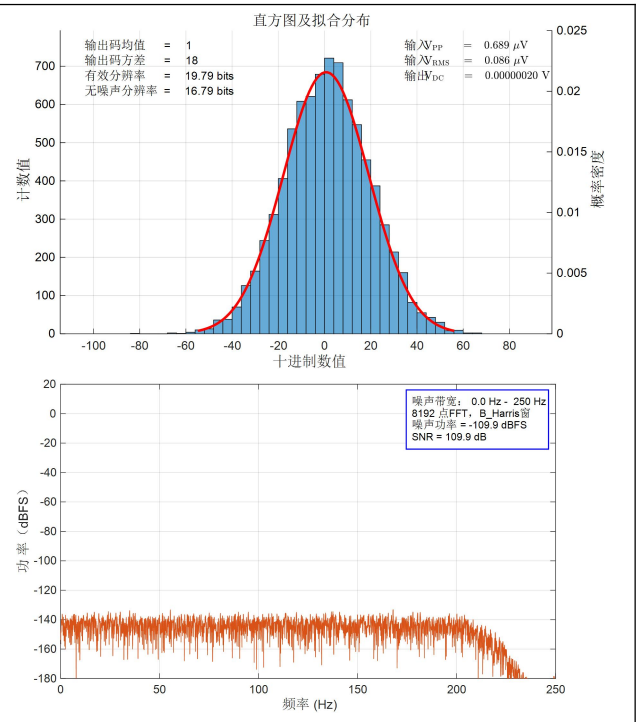


图 7 500SPS PGA=64

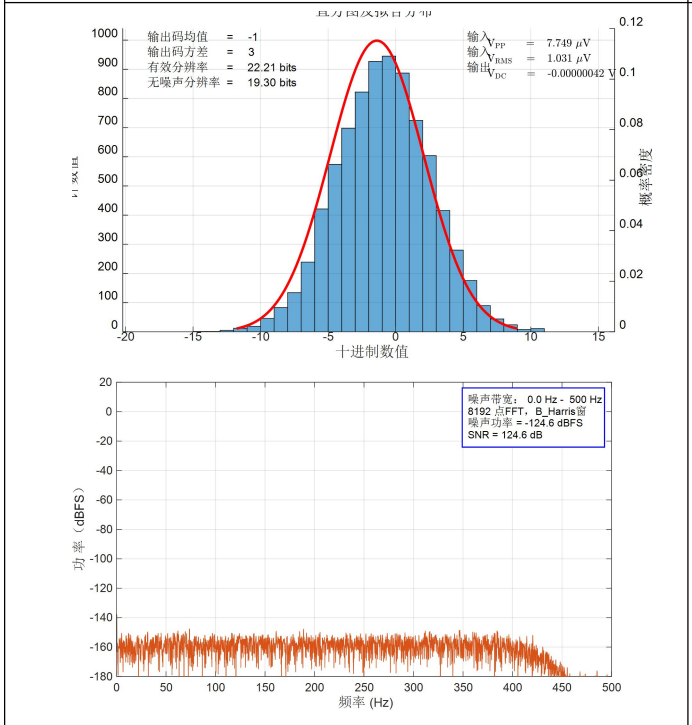


图 8 1000SPS PGA=1

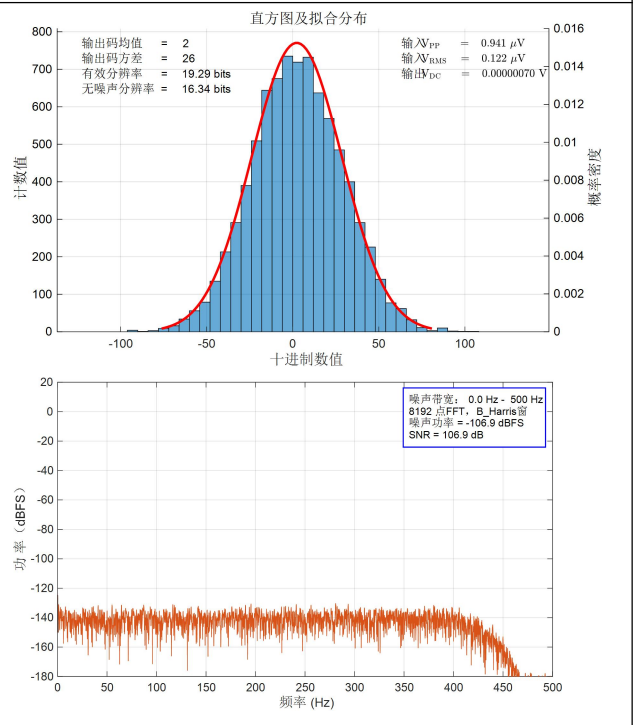


图 9 1000SPS PGA=64

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

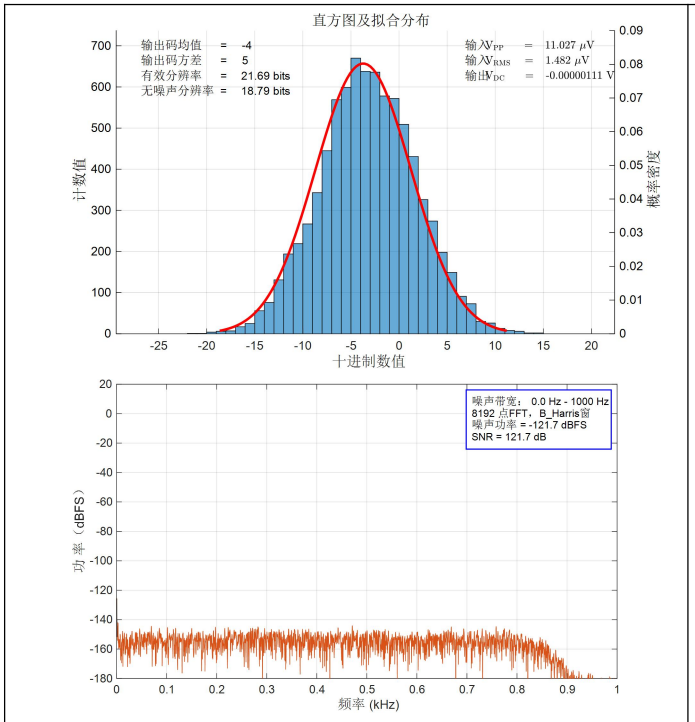


图 10 2000SPS PGA=1

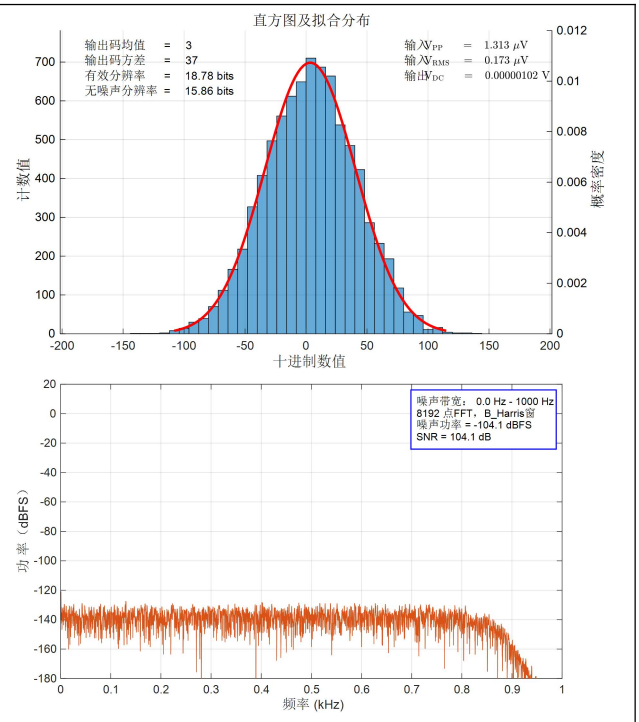


图 11 2000SPS PGA=64

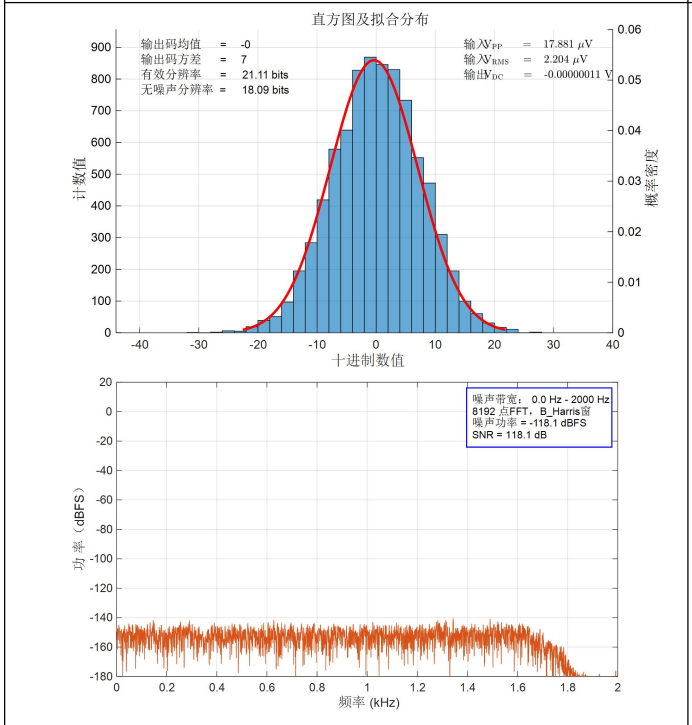


图 12 4000SPS PGA=1

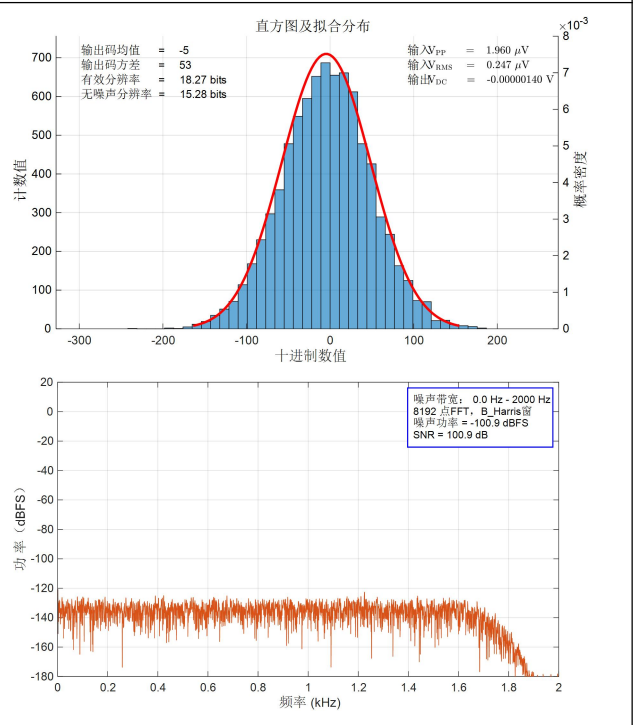


图 13 4000SPS PGA=64

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

11.3. 交流特性

+25℃，AVDD = 2.5 V，AVSS = -2.5 V，f_{CLK} = 4.096 MHz，VREFP = 2.5 V，VREFN = -2.5 V，DVDD = 3.3 V，设置 PGA = 1 和 64，开启固定失调 100mV，输入-0.6dBFS 正弦信号，利用 BlackHarris 窗，测试 8192 点输出性能。

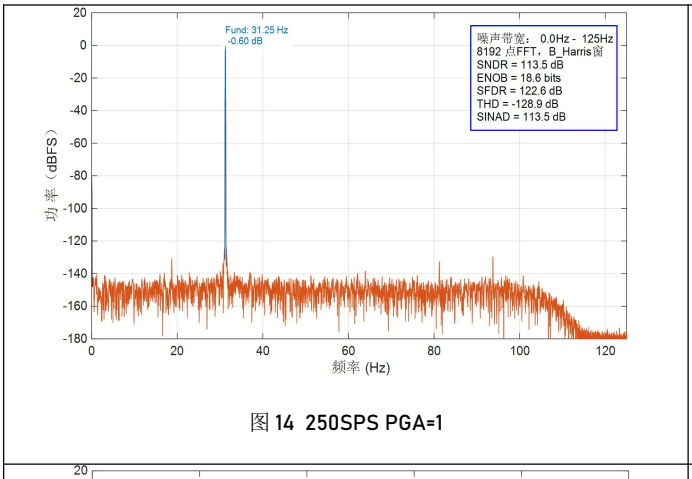


图 14 250SPS PGA=1

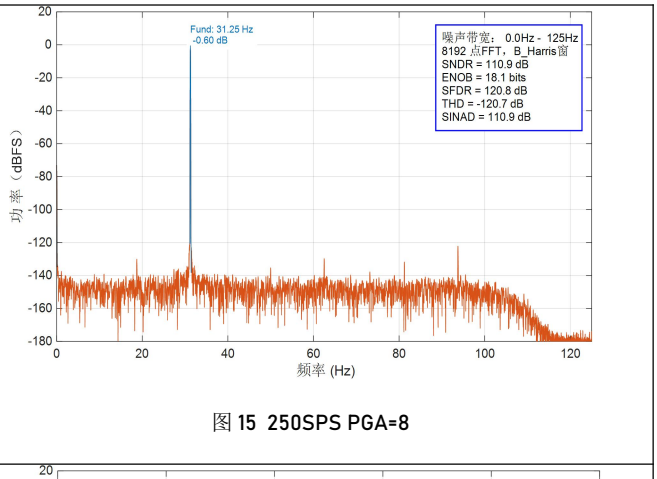


图 15 250SPS PGA=8

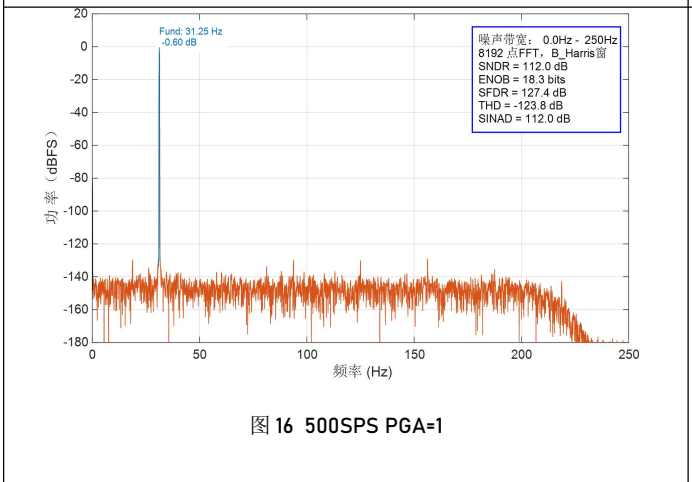


图 16 500SPS PGA=1

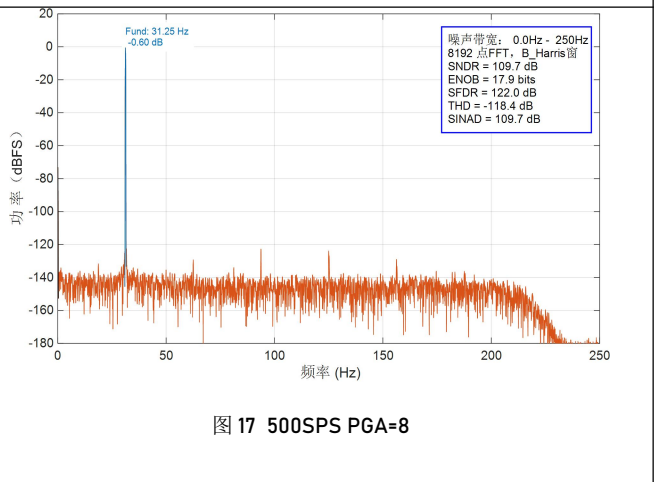


图 17 500SPS PGA=8

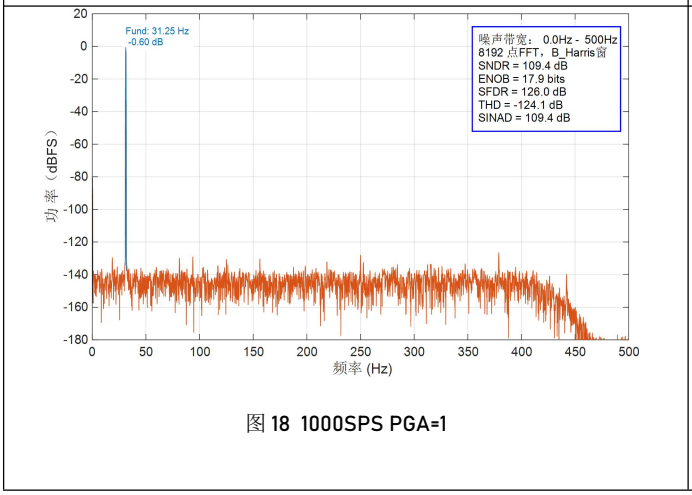


图 18 1000SPS PGA=1

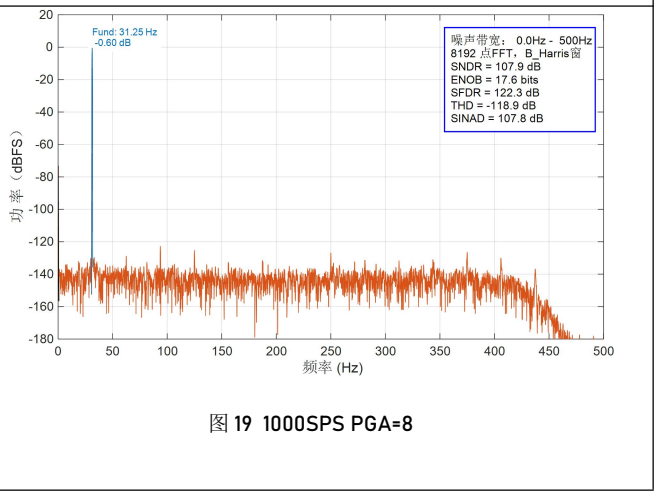


图 19 1000SPS PGA=8

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

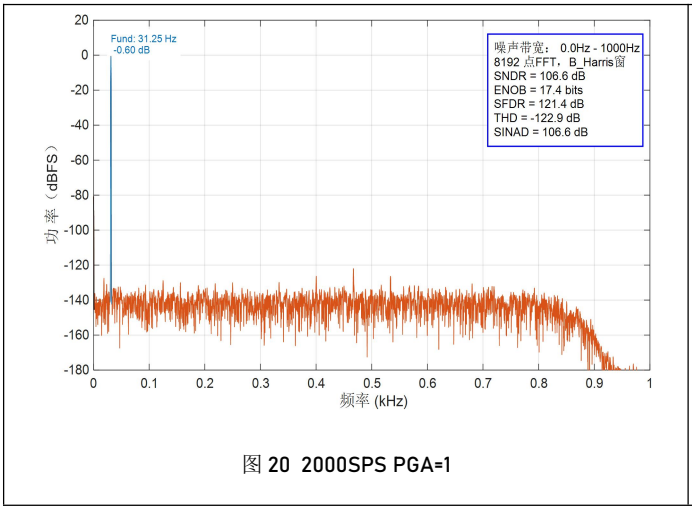


图 20 2000SPS PGA=1

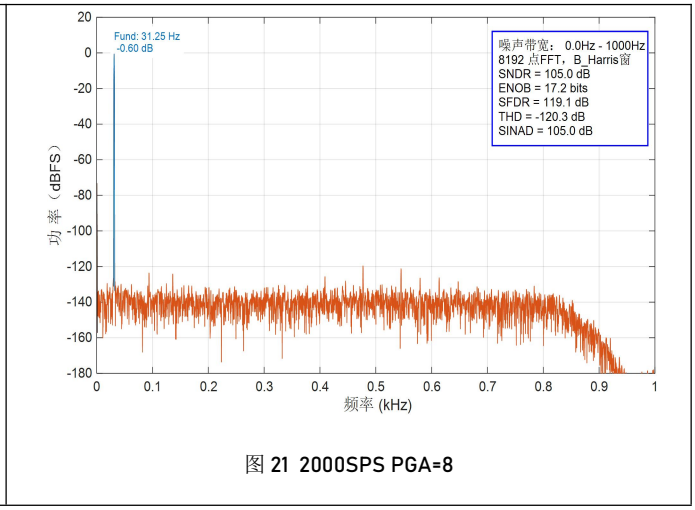


图 21 2000SPS PGA=8

12. 详细描述

12.1. 模拟输入与多路复用器

器件的模拟输入端由 ESD 二极管来进行静电保护，因此输入电压也会被钳位在 AVSS - 0.3 V 和 AVDD + 0.3 V 之间，一旦输入电压超过此范围，二极管就会开启并钳位。外置箝位二极管，串联电阻，或两者的组合可以用来限制输入电流在其允许的范围内。过度驱动一个未使用的输入端会影响另一个输入端的数据转换结果。外置肖特基二极管可以通过箝位过度驱动的信号，来防止过度驱动的未使用输入端口对数据转换的干扰。

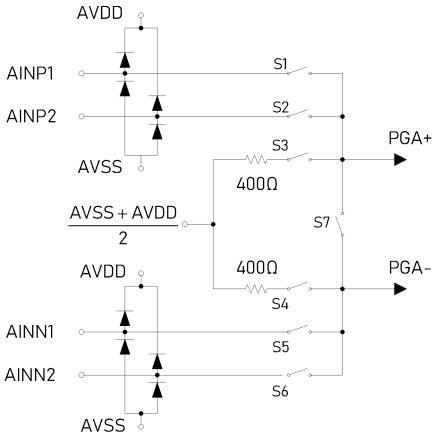


图 22 模拟输入多路复用器

多路复用器提供了多种连接模式，用来选择模拟输入端，或者内部自检模式。下方表格总结了多路复用器的配置和用法：

表 5 多路复用器配置

MUX[2:0] @ CONFIG1 (address=02h)	描述
000	AINP1 与 AINN1（默认），S1、S5 关闭
001	AINP2 与 AINN2，S2、S6 关闭
010	通过 400-Ω内部电阻短接，S3、S4 关闭
011	正负输入端各自短接，S1、S2、S5、S6 关闭
100	运放正负输入端短接到 AINN2（共模测试），S6、S7 关闭

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.2. 可编程增益放大器

LTD2532 集成了一个低噪声，差分输入差分输出的可编程增益放大器（PGA），放大器的增益通过寄存器位 PGA[2:0]进行配置，可以从 1 倍增益调节到 64 倍增益，用于满足不同满幅度输入。下方表格总结了 PGA 的配置和对应的增益以及满幅度输入电压。

表 6 可编程增益放大器配置

PGA[2:0] @ CONFIG1 (address=02h)	增益	差分输入范围（V）
000	1	±2.5
001	2	±1.25
010	4	±0.625
011	8	±0.312
100	16	±0.156
101	32	±0.078
110	64	±0.039

PGA 通过一个 300 Ω 的内部电阻驱动后级Δ-Σ调制器。调制器的输入阻抗为 55 kΩ。调制器输出端口正负端 CAPP 和 CAPN 之间需要接一个 10 nF 的电容用于过滤采样的毛刺，同时也用作抗混叠滤波器，其转角频率可用下方等式表示：

$$f_P = \frac{1}{3780 \times C}$$

自稳零斩波技术用于移除通带中的失调电压、失调电压漂移和 1/f 噪声，见图 23。斩波功能可以通过配置 CONFIG1 寄存器中的 CHOP 位进行开关。斩波开启和关断状态下对应的输入阻抗会相应的改变，斩波关闭后阻抗会增加。PGA 的增益被改变的时候，PGA 输入阻抗也会发生相应变化，输入阻抗与增益倍数的关系见表格 3。

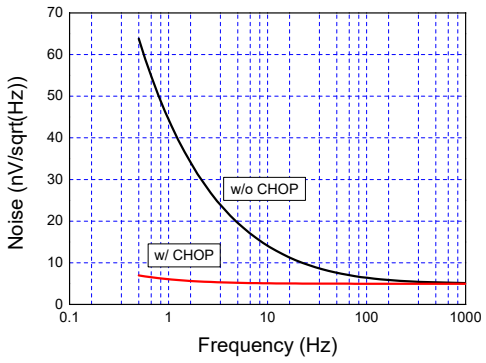


图 23 斩波开启/关断下的 PGA 噪声水平

表 7 不同增益下的差分输入阻抗

PGA	差分输入阻抗 (GΩ)
1	7
2	7
4	4
8	3
16	2
32	1
64	0.5

考虑到会有少量电荷储存在斩波开关的杂散电容里，当斩波开启的时候会有少量瞬态电流流入输入端。所以当在使用与 PGA 输入阻抗相当的高阻抗传感器或者终端电阻的时候，这些瞬态电流会影响到数据转换的准确度。因此在类似的应用场景中，关闭斩波功能可以有效的提高 ADC 的性能。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.3. 模数转换器

LTD2532 的模数转换器包括了一个 4 阶低噪声Δ-Σ调制器和一组数字滤波器。

12.3.1. 四阶低噪声Δ-Σ调制器

四阶低噪声Δ-Σ调制器通过过采样技术将量化噪声分布拓宽至 DC 到 0.5 倍过采样频率区间内，然后通过数字滤波器滤除通带以外的噪声。需要注意的是，斩波频率设置为主时钟频率的 1/1024，在主时钟为 4.096M 时，斩波频率被设置为 4kHz，用来优化 DC 到 2kHz 频段的调制器性能，但是会引入 4kHz 及其倍频谐波的干扰信号。

12.3.1.1. 调制器饱和

调制器采用了独特的设计来保证其稳定性。当输入过载时，它的恢复行为是可预测的。相比于通常采用的有可能导致输出不稳定或无效数据流的自动复位策略，LTD2532 采用了一种冗余的设计方案。LTD2532 在未过阈值的正常工作情况下，负满幅度输入下会输出占空比为 10%的数据流，在正满幅度输入下会输出占空比为 90%的数据流。在输入过驱动但未饱和的情况下，调制器依然可以持续稳定输出低于 10%占空比或者高于 90%占空比的数据流。根据过驱动的时间长短或者频率，滤波器输出信号不一定会一直钳位在正负满幅度输出。当输入过驱动的情况解除之后，调制器会立刻恢复到正常工作。但由于数字滤波器存在延迟，转换后的数据在线性相位配置情况下延迟 31 个周期，加上需要完整转换的数据延迟，共延迟 62 个转换周期。

12.3.1.2. 调制器输入阻抗

调制器的输入阻抗为 55 kΩ。调制器会对经过缓冲过后的输入信号通过采样电容来进行采样。输入阻抗和输出阻抗都会被计入系统增益误差。采样电容和输出电阻因为半导体生产工艺的固有偏差，会有±20%以内的数值浮动。

12.3.1.3. 调制器过阈值监测（MFLAG）

LTD2532 拥有一个高速响应的过阈值监测电路，当输入信号超过正负满幅度输入电压范围时，监测电路会触发并在 MFLAG 管脚输出高电平，阈值裕量设置为±2.5%，见图 24。MFLAG 输出的采样频率为 $f_{MOD}/2$，因此 MFLAG 最短高电平脉宽为 $f_{MOD}/2$。

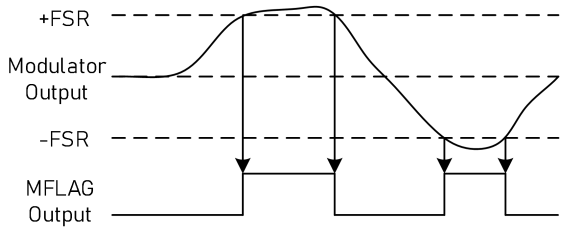


图 24 调制器过阈值监测原理

12.3.1.4. 失调电压

LTD2532 可以添加一个固定的失调电压，目的是在无信号输入或极小信号输入的情况下，将闲音信号（Idle Tone）搬移到数字滤波器频率响应的阻带中去。这个失调电压直接施加到调制器的输入，因此 PGA 的增益不会对这个电压产生影响。器件提供了 75 mV 和 100 mV 两个档位，其中 75 mV 更适合在不同增益、转换率设定的情况使用。这个功能可以在 ID_CFG 寄存器中的 OFFSET1 和 OFFSET0 进行开启和关闭。由于整体抬高了电压水平，器件的满幅度输入范围会减少，但可以通过失调电压数字校正功能来恢复。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.3.1.5. 参考电压（VREFP, VREFN）

器件的参考电压是由外部基准源通过 VREFP 和 VREFN 两个管脚差分输入到器件内部，这两个管脚也内部集成了 ESD 保护二极管。所允许的最大电压输入范围为 AVSS - 0.3 V 到 AVDD + 0.3 V 之间，超过这个范围，ESD 保护二极管会开启并且钳位。参考电压输入端的有效差分输入阻抗可以由下方等式估算：

$$R_{EFF} = 1/f_{MOD} \times C_{IN}$$

图 25 展示了简化后的参考电压输入电路。

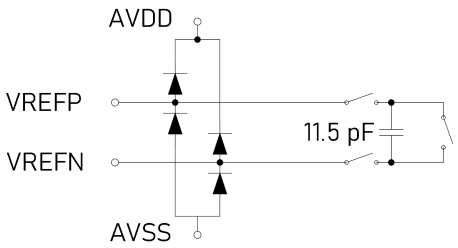


图 25 参考电压输入电路

使用一个低噪声 5 V 基准源可以让 LTD2532 达到最好的转换性能。也可以使用小于 5 V 的基准源，但是模拟输入电压范围会相应减小，并且器件整体性能会有一定降低。基准电路与 ADC 的性能密切相关，因此包括对基准源进行噪声滤除等措施，能有效提升 ADC 整体性能。

12.3.2. 数字滤波器

数字滤波器会对调制器输出的数据流进行接收、抽取以及滤除。通过调整滤波器组合，用户可以在转换精度和转换速率之间作权衡。数字滤波器由一个可变抽取率的 sinc 滤波器，一个固定抽取率的且相位模式可选择的有限单位冲击响应低通滤波器，以及一个可编程的高通滤波器组合而成。图 26 展示了数字滤波器的示意框图。

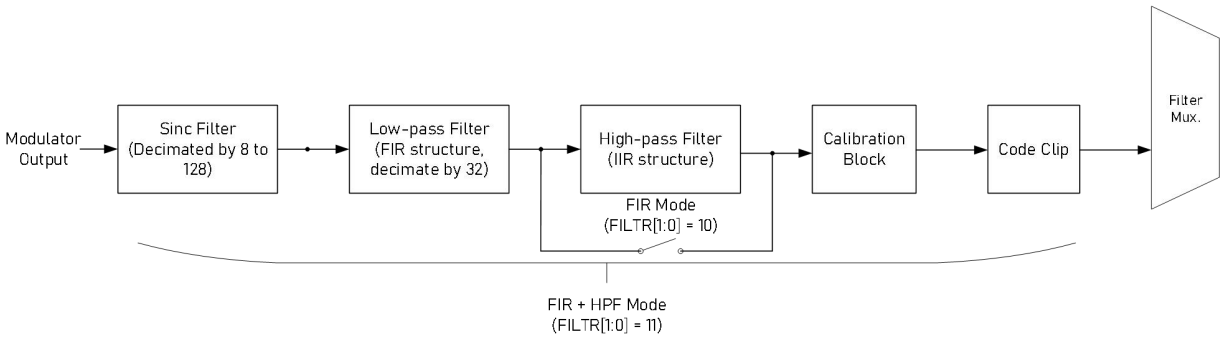


图 26 数字滤波器配置示意框图

表 8 数字滤波器组合配置

FILTR[1:0] @CONFIG0 (address=01h)	数字滤波器模式
00	Reserved (not used)
01	Reserved
10	Sinc+FIR
11	FIR+HPF

12.3.2.1. Sinc 滤波器（sinx/x）

Sinc 滤波器（sinx/x）是一个可变抽取率的 5 阶低通滤波器。在高性能模式下数据流以 $f_{clk}/4$ 的频率进入 sinc

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

滤波器，在低功耗模式下则是以 $f_{clk}/8$ 的频率进入。Sinc 滤波器会滤除由调制器产生的高频噪声，同时通过抽取来降低速率。抽取率可以通过 CONFIG0 寄存器中的 DR[2:0]来进行配置。

表 9 Sinc 滤波模式抽取率与数据速率

DR[2:0] @CONFIG0 (address=01h)	抽取率（Sinc 滤波模式）	数据速率
000	128	8000
001	64	16000
010	32	32000
011	16	64000
100	8	128000

Sinc 滤波器的陷波被设计在数据流频率以及其频率倍频上。Sinc 滤波器频率响应和滚降如图 27 所示。

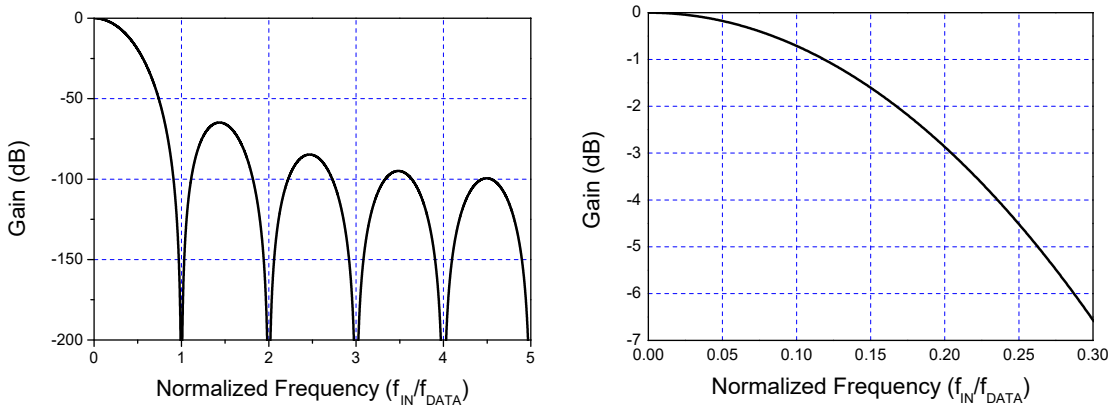


图 27 a) Sinc 滤波器频率响应 b) Sinc 滤波器滚降

12.3.2.2. 有限冲激响应低通滤波器（FIR）

有限冲激响应低通滤波器是数字滤波器的第二部分。相位模式可以选择线性相位模式和最小相位模式，这一级滤波器的抽取率为 32。Sinc+FIR 模式下的总抽取率和数据速率如下表：

表 10 FIR 抽取率与数据速率

DR[2:0] @CONFIG0 (address=01h)	总抽取率（Sinc+FIR 模式）	数据速率
000	4096	250
001	2048	500
010	1024	1000
011	512	2000
100	256	4000

FIR 滤波器的频率响应如图 28 所示。在直流到 $0.375*f_{data}$ 通带频率范围内的纹波抖动不大于±0.003dB，并且在奈奎斯特频率之后完全衰减。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

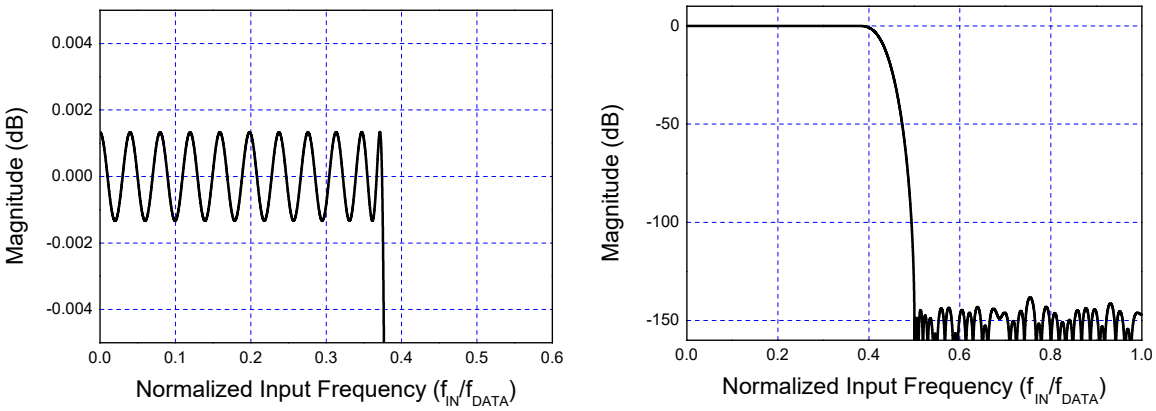


图 28 a) FIR 通带频率响应 b) FIR 过渡带频率响应

12.3.2.3. 群延迟与阶跃响应

FIR 滤波器可以在线性相位响应和最小相位响应之间切换。两种响应方式的通带、过渡带和止带的频率响应是几乎一致的，不同的是延迟时间。在线性模式下，对于所有频率的输入信号，其到输出信号的延迟为一个固定值。当输入信号是多种频率的复合信号时，线性模式是非常有必要的，不然不同频率成分的信号之间会出现相位误差。而最小相位模式可以有效的实现最小延迟，但延迟时间不是一个常数，而是与信号频率相关的值。表 7 提供了相位响应模式的配置方式。图 29 展示了在两种相位模式下的群延迟与信号频率的关系。

表 11 相位模式选择

PHASE[1:0] @CONFIG0 (address=01h)	阶跃响应
0	线性
1	最小

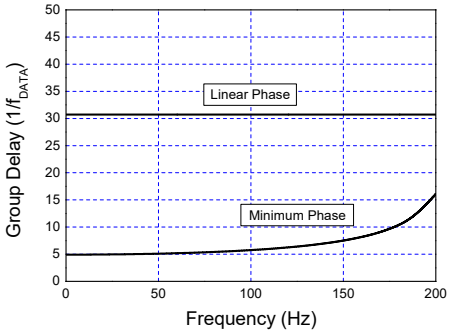


图 29 FIR 群延迟 (f_{DATA} = 500Hz)

12.3.2.4. 高通滤波器

高通滤波器是数字滤波器的最后一个部分，采用了无线冲击响应结构。它的转角频率可以通过配置 HPF0 和 HPF1 寄存器中的值来进行调整。转角频率与寄存器值的关系式如下：

$$HPF[1:0] = 65536 \times [1 - \sqrt{1 - 2 \times (\cos\omega_N + \sin\omega_N - 1)/\cos\omega_N}$$

其中： $\omega_N = 2\pi f_{HP} / f_{DATA}$, f_{HP} = 高通滤波器转交频率， f_{DATA} = 转换速率。

表 12 HPF[1:0] 寄存器数值示例

f_{HP} (Hz)	转换速率(SPS)	HPF[1:0]数值
0.5	250	0337h
1	1000	019Ah

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.4. 功能模式

12.4.1. 同步

同步功能可以通过 SYNC 管脚或者 SYNC 命令来实现，并由外部事件触发，因此通过同时地施加触发信号可以控制多个 LTD2532 进行同步转换。有两种同步模式供选择，连续同步模式和脉冲同步模式。在脉冲同步模式下，器件一旦收到同步信号，就会开始同步。在连续同步模式下，第一次同步类似于脉冲同步是无条件执行的，之后会在 SYNC 管脚出现上升沿时进行同步，但要求同步信号频率不能是转换速率地整数倍。当 SYNC 周期与 DRDY 周期不匹配时，器件才能再同步。

12.4.1.1. 脉冲同步模式

脉冲同步模式会强制器件停止当前转换并重新开始转换过程。当同步脉冲的上升沿被接收到后，下一个 CLK 上升沿会重新开始转换过程。如果使用同步指令的话，则同步脉冲上升沿被接收到后，在之后的第 8 个 SCLK 上升沿开始转换过程。

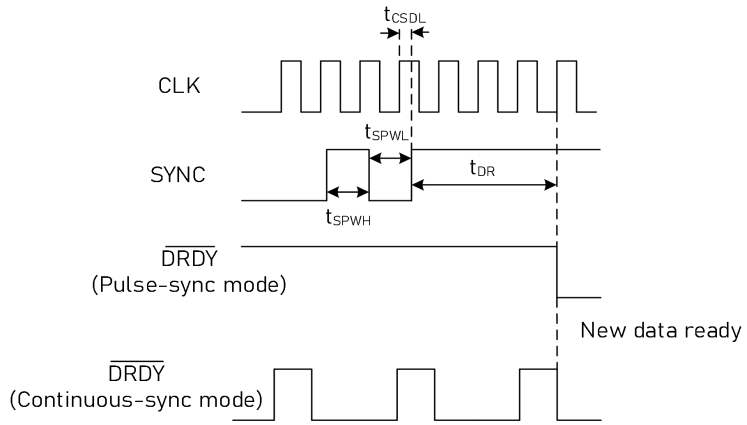


图 30 单脉冲触发的同步时序

表 13 同步时序

Parameter		Min	Max	Unit
t_{CSDL}	CLK 上升沿到 SYNC 上升沿的时间	30	-30	ns
t_{SYNC}	同步时钟周期	1	无限	n/f_{DATA}
$t_{SPWH, L}$	同步脉冲宽度，高电平或低电平	2		$1/f_{CLK}$
t_{DR}	数据就绪时间 (Sinc filter)	参见下表		
	数据就绪时间 (FIR filter)	$64f_{CLK}$		

（1）时钟上升沿到同步信号上升沿的时间必须不在指定的时间窗口内发生。

（2）连续同步模式;在 SYNC 输入端施加自由运行的脉冲，且不会导致重新同步。

表 14 延迟时间与数据速率的关系（Sinc 滤波器）

f_{Data} (kSPS)	t_{DR} (f_{CLK} cycles)
128	440
64	616
32	968
16	1672
8	2824

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.4.1.2. 连续同步模式

在连续同步模式下，在 SYNC 管脚施加单一脉冲或者连续时钟信号都可以触发同步过程。但接收到单脉冲上升沿时，器件的行为与脉冲同步模式一致。需要注意的是，只有在连续时钟信号的相邻上升沿的间隔时间不是数据转换周期的整数倍时，才能进行连续同步转换。由于内部延迟的存在，时钟信号和 DRDY 输出信号之间会存在相位差。在连续同步过程中，DRDY 会保持高低切换，DOUT 管脚在数据转换好输出之前保持低电平。

在进入连续同步模式之后，SYNC 管脚接收到的第一个上升沿会被无条件的执行同步。在连续同步过程中，如果配置了任何一个寄存器，器件都会在完成寄存器配置之后再重新进行连续同步。重新连续同步会导致之前的同步丢失。通过 STANDBY 指令与 WAKEUP 指令可以恢复之前的同步过程。同样需要注意的是，STANBY 与 WAKE 指令的时间间隔不能是转换周期的整数倍。

12.4.2. 复位

LTD2532 的复位可以通过通/断器件供电、拉低$\overline{\text{RESET}}$电平管脚电压和发送 RESET 指令实现。如果要强制 reset，$\overline{\text{RESET}}$管脚需要保持低电平至少 $2/f_{clk}$ 的时间才会开始复位。通过发送 RESET 指令，复位会在第 9 个 SCLK 上升沿被接收到的时候开始复位。复位之后，所有的寄存器都会被复位到默认值，器件会在复位完成后接收到下个 CLK 上升沿之后开始同步。

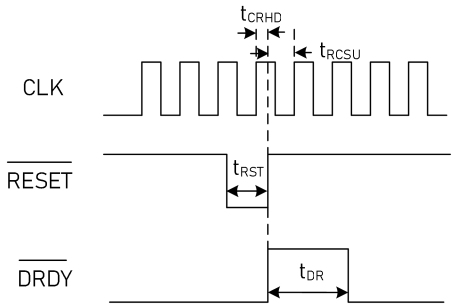


图 31 复位时序

表 15 复位时序

Parameter		Min	Unit
t_{CRHD}	CLK to RESET hold time	10	ns
t_{RCSU}	RESET to CLK setup time	10	ns
t_{RST}	RESET low	2	$1/f_{CLK}$
t_{DR}	Time for data ready	$64/f_{DATA}$	s

12.4.3. 主时钟输入（CLK）

一个高质量、低抖动的时钟信号对于实现器件的最佳性能是非常必要的。时钟主频率被设计为 4.096 MHz。器件的转换速率会随着主频率的变化而变化，但是通过降低时钟频率的方式来降低转换频率并不会有利于抑制噪声，通过寄存器配置更低的转换速率才能有效的抑制噪声。时钟管脚输入的信号要需要注意不能超过规定的时钟频率，并且使用尽量干净的时钟源，串联一个 50 Ω的电阻靠近时钟源使用。

降低时钟主频率可以降低功耗，但会牺牲掉一部分交流性能。如需要获取低时钟频率下的实验数据请联系先积集成的工程师。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.4.4. 下电/待机模式（$\overline{\text{PWDN}}$管脚和 STANDBY 指令）

LTD2532 可以通过拉低 $\overline{\text{PWDN}}$ 管脚电压进入下电模式，或者发送 STANDBY 指令来进入待机模式。进入下电模式后，部分内部电路会关断，以此来最小化功率消耗并且复位寄存器。在下电模式下，器件输出会保持活动状态，器件输入不允许浮空。如果通过发送 STANDBY 指令进入待机模式，SPI 端口和配置寄存器会保持活动，当 $\overline{\text{CS}}$ 被置高时，器件会退出待机状态。

12.4.5. 上电时序

图 32 展示了 LTD2532 的上电时序。器件一共有三个供电源，分别为：模拟供电的 AVDD、AVSS，和数字供电的 DVDD。

当所有的供电电压都超过了复位阈值电压之后，经过 $2^{16}/f_{CLK}$ 时间之后器件将会内部复位。供电电源上电的顺序没有特殊的要求。复位完成后，新的数据转换将开始执行，$\overline{\text{DRDY}}$ 输出低电平。

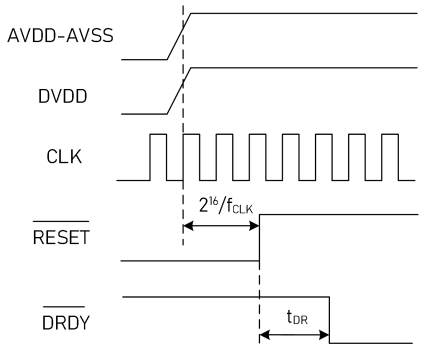


图 32 上电时序

12.4.6. DVDD 数字供电

DVDD 供电在 1.65 V to 3.6V 时，器件可以正常工作。如果 DVDD 供电在 2.25 V 以下，则需要将 DVDD 连接至 BYPASS 管脚，如果供电在 2.25 V 以上则不要连接。DVDD 与 BYPASS 管脚都需要对地连接去耦电容。

12.4.7. 串行接口

LTD2532 使用 SPI 兼容的串行接口来获取转换数据或者配置寄存器，使用了 4 个输入/输出端口：SCLK、DIN、DOUT 和$\overline{\text{CS}}$。当 SCLK 的频率为 2.048 MHz 时，串行总线最多可支持 15 个 ADC 在 4 kSPS 转换速率下工作。

12.4.8. 片选（$\overline{\text{CS}}$）

片选采用低电平有效逻辑，置高时会关断通信，DOUT 变为高阻态，SCLK 上的所有信号也会被无视，在执行中的数据转换和命令会被复位。片选信号在进行数据转换时需要保持低电平，或者有必要的情况下将片选信号接地使器件永久开启。当片选信号切换到高电平后，器件会退出待机模式或者连续数据采集模式。

12.4.8.1. 串行时钟（SCLK）

串行接口通过串行时钟信号来输入和输出数据。它设计成施密特触发式的输入以防止抖动影响。用户需要使用一个干净的时钟信号，已防止时钟信号毛刺使得输入输出数据发生错误的移位。串行数据在时钟上升沿输入，在时

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

钟下降沿输出。

12.4.8.2. 串行数据输入（DIN）和串行数据输出（DOUT）

串行数据输入和输出管脚可以用于配置寄存器、发送指令和采集数据。在连续数据采集模式下，DIN 保持低电平，除非发送 SDATAC 指令来停止连续数据采集模式。

12.4.8.3. 串行接口自动超时

当数据传输停止或者受到干扰时，串行接口自动超时功能可以用来复位串行接口。串行接口在片选信号置高时会进行复位，但对于把片选信号固定在低电平的应用中，没有办法通过片选信号进行复位，就需要使用此功能。将 SCLK 管脚在 64 个数据转换周期之内保持低电平，可以复位串行接口。复位会中断进行中的数据传输或者指令发送。复位之后的下一个 SCLK 脉冲将会开始新一轮的通信周期。为了避免不需要的复位，每 64 个数据转换周期中需要至少给 SCLK 一个脉冲。

12.4.8.4. 数据转换完毕（$\overline{\text{DRDY}}$）

$\overline{\text{DRDY}}$ 是一个数字输出管脚，用来表示数据转换完成与否的状态。当在连续数据采集模式下读取数据时，读取数据指令需要在下一个 $\overline{\text{DRDY}}$ 下降沿的 4 个 CLK 周期之前完成，否则读取的数据会被新转换的数据所覆盖。当在指令模式下读取数据时，读取数据指令可以和下一个 $\overline{\text{DRDY}}$ 信号重合，并且会不产生数据损坏。当数据转换完成并被读取即提供有效的 SCLK 信号时，$\overline{\text{DRDY}}$ 在下一个 SCLK 下一个下降沿恢复为高电平。当数据转换完成但没有被读取时即没有提供有效 SCLK 信号时，$\overline{\text{DRDY}}$ 会在每次数据转换完成时输出一个脉宽为 4 个时钟周期的脉冲。

12.4.9. 数据格式

LTD2532 会以二进制补码的形式输出一个 24 位数据，其中最高位为符号位，0 代表正数，1 代表负数。数据格式如下表所示（其中，$V_{REF}=V_{REFP}-V_{REFN}$）。

表 16 理想的输出编码

VIN (VAINP - VAINN)	Output Code
$>\frac{V_{REF}}{2PGA}$	7FFFFFh
$=\frac{V_{REF}}{2PGA}$	7FFFFEh
$=\frac{V_{REF}}{2PGA}\times\frac{1}{2^{23}-1}$	000002h
0	000000h
$=-\frac{V_{REF}}{2PGA}\times\frac{1}{2^{23}-1}$	FFFFFFh
$=\frac{-V_{REF}}{2PGA}\times\frac{2^{23}}{2^{23}-1}$	800001h
$<-\frac{V_{REF}}{2PGA}\times\frac{2^{23}}{2^{23}-1}$	800000h

12.4.10. 数据读取

LTD2532 可以选择连续数据采集模式或者指令数据采集模式来读取数据。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.4.10.1. 连续数据采集模式

在连续数据采集模式下，转换后的数据不需要通过读数据指令读取，而是可以被连续采集。在器件上电之后，或者在发送 RDATAC 指令之后会默认进入此模式。数据转换完成指示引脚 $\overline{\text{DRDY}}$ 为低电平有效。当 $\overline{\text{DRDY}}$ 管脚置位后，DOUT 管脚开始串行输出数据，并在 SCLK 信号上升沿锁存。$\overline{\text{DRDY}}$ 在 SCLK 第一个下降沿恢复高电平。当所有 24 位数据被读取后，后续的 SCLK 信号会使 DOUT 管脚保持低电平输出。整个数据输出和读取过程需要在下一个有效 $\overline{\text{DRDY}}$ 信号到来之前的 4 个 CLK 周期前完成，否则当前数据将会损坏。

当停止连续信号采集指令执行时，$\overline{\text{DRDY}}$ 会保持高电平，然而数据转换将会在内部继续进行。这种情况下需要通过指令来读取数据。

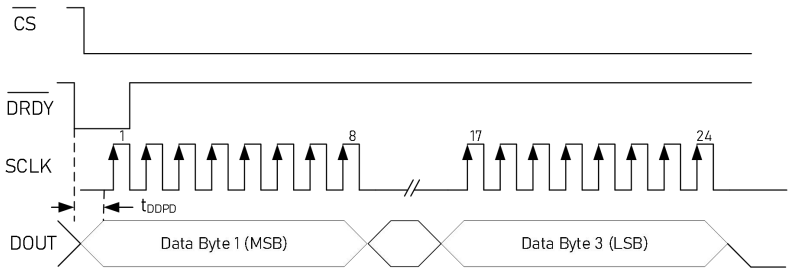


图 33 连续数据采集时序

表 17 数据采集时序

Parameter		Min	Typ	Max	Unit
t_{DDPD}	$\overline{\text{DRDY}}$ to valid MSB on DOUT propagation delay			100	ns

12.4.10.2. 指令数据采集模式

当接收到停止连续信号采集指令 SDATAC 后，器件将会进入指令数据采集模式。在这个模式下，数据的读取需要通过数据读取指令 RDATA 来执行。当 RDATA 指令被接收后（在第 8 位的上升沿），一旦 $\overline{\text{DRDY}}$ 置位并经过表 13 中的延迟之后，DOUT 会开始输出转换后的数据。数据会在 SCLK 的的上升沿开始输出。具体时序关系见图 34。

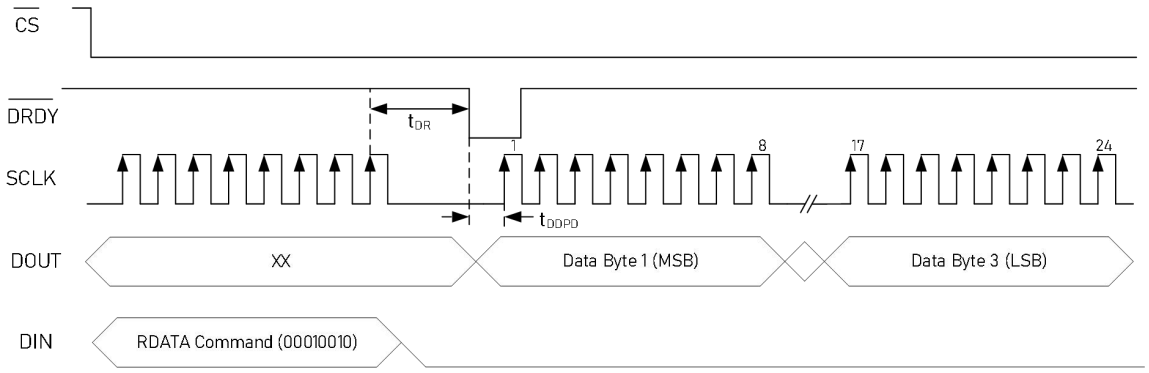


图 34 指令数据采集模式时序

12.4.11. 单次转换

通过组合使用待机指令 STANDBY 和唤醒指令 WAKEUP，LTD2532 可是实现单次转换模式。通过执行 STANDBY 指令，器件将会进入待机模式。接着发送 WAKEUP 指令后，器件开始数据转换。当单次数据转换完成且 $\overline{\text{DRDY}}$ 置位后，再次发送 STANDBY 指令使器件进入待机模式。以上即为一次单次转换的过程，每当需要进行单次转换时，可以通过重复上述操作实现。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.4.12. 失调电压和满幅度电压的校正寄存器

在被转换后的数据最终输出前，还可以对失调和增益误差进行补偿的方式来做校正。数据会先减掉存在失调电压寄存器（OFC）中参数，再乘上存在满幅度寄存器（FSC）中的参数，再作为最终校正后的数据输出。下方的公式解释了整个校准过程：

$$\text{Modified final output} = (\text{Modulator output} - \text{OFC}[2:0]) \times \frac{\text{FSC}[2:0]}{400000h}$$

两个寄存器里的参数都可以通过直接写入或者通过校正指令自动计算的方式存入。修改了 PGA 设置之后，内在的失调电压和增益误差会有变化，因此通常需要再校准一次。如果使用 sinc 模式的话，校正则会被绕过。

12.4.12.1. 失调电压校正寄存器 OFC[2:0]

失调电压校正参数存在 3 个 8 位寄存器中，与 24 位转换后数据左对齐。参数以二进制补码的方式保存，最大正校正参数为 7FFFFFh，最大负校正参数为 800000h，默认值为 000000h 对应无校正。

12.4.12.2. 满幅度校正寄存器 FSC[2:0]

满幅度校正参数存在 3 个 8 位寄存器中，采用直接二进制的方式编码，单位增益对应 400000h。

12.4.13. 校正指令

校正指令 OFSCAL 和 GANCAL 可以用来自动获取失调电压校正因数和满幅度校正因数，来补偿器件带来的误差。建议在使用校正指令的时候输入适合的模拟信号，以便获取更精确的校正因数。推荐使用较低的数据转化速率，因为这会有效降低噪声带来的干扰。如果用户希望再上电之后立刻进行校正，那么需要注意参考电压是否已经稳定输出，否则会对校正精度产生影响。

图 35 展示了实现校正功能的指令顺序。当用于校正的模拟输入信号和参考电压稳定之后，顺序发送 SDATAC、SYNC 和 RDATAC 指令。$\overline{\text{DRDY}}$ 会在 64 个数据转换周期后变为低电平，之后再按顺序发送 SDATAC、校正指令（OFSCAL 或者 GANCAL）。16 个数据周期后，整个校正流程完毕。在整个校正过程中，SYNC 管脚需要保持高电平输入。

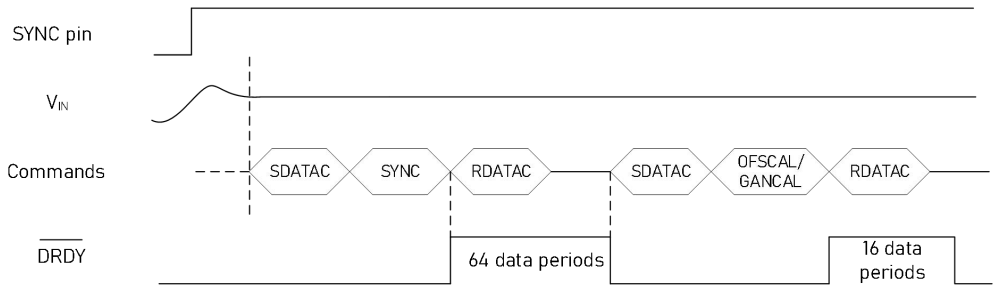


图 35 校正时序

理论上讲，每一套校正参数都和 PGA 具体设定相对应，每一次更改 PGA 设定后都需要重新校准一次。

12.4.13.1. 失调电压校正指令

在使用失调电压校正指令时，用户需要给一个 0 输入电压，器件会取 16 个读数的平均值存入 OFS 寄存器作为补偿。如果用户施加了 75 mV 或 100 mV 的固定失调电压，可以通过这个指令进行补偿。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.4.13.2. 增益校正指令

在进行增益校正的之前，用户需要在模拟输入端输入一个稳定的满幅度直流信号。器件会取 16 个读数的平均值并计算出达到满幅度所需要的补偿因数，在写入 OFS 寄存器。

12.4.14. 手动校正

OFC 与 FSC 寄存器可以直接被用户读取和写入，来进行人工校正。人工校正步骤如下：

1、首先将两个寄存器分别设置为默认参数，也就是分别为 0h 和 400000h。

2、输入 0 差分电压到模拟输入端，多次平均读数后将值写入 OFC 寄存器。

3、输入一个直流或者交流的差分信号，并多次平均读数。按照下方关系式计算参数并写入 FSC 寄存器。

$$\text{FSC[2:0]} = 400000\text{h} \times \frac{\text{Expected Output Code}}{\text{Actual Output Code}} \quad \text{for DC input.}$$

$$\text{FSC[2:0]} = 400000\text{h} \times \frac{\text{Expected Output RMS}}{\text{Actual Output RMS}} \quad \text{for AC input.}$$

12.5. 指令与编程

12.5.1. 指令列表与描述

表 14 列出了所有用于控制 LTD2532 的指令。要通过指令控制器件，器件的片选信号必须置位（$\overline{CS}$ 为低电平）。同一条指令的相邻字节之间，或者不同的指令之间都需要延迟至少 24 个 $1/f_{CLK}$ 周期。延迟是从上一字节的最后一个上升沿计算到下一个字节的第一个上升沿。

表 18 指令列表

指令	类型	描述	1st byte	2nd byte
WAKEUP	控制	从待机模式恢复	0000 000X (00h or 01h)	
STANDBY	控制	进入待机模式	0000 001X (02h or 03h)	
SYNC	控制	同步 AD 转换	0000 010X (04h or 05h)	
RESET	控制	复位所有寄存器到默认值	0000 011X (06h or 07h)	
RDATAC	控制	进入连续数据采集模式	0001 0000 (10h)	
SDATAC	控制	退出连续数据采集模式	0001 0001 (11h)	
RDATA	数据读取	指令读取数据	0001 0010 (12h)	
RREG	寄存器操作	读起始地址为 *yyyyy* 的 *nnnnn* 个寄存器	001*n nnnn* (20h+000*n nnnn*)	000*y yyyy* (00h+000*y yyyy*)
WREG	寄存器操作	写起始地址为 *yyyyy* 的 *nnnnn* 个寄存器	010*n nnnn* (40h+000*n nnnn*)	000*y yyyy* (00h+000*y yyyy*)
OFSCAL	校正	失调电压校正	0110 0000 (60h)	
GANCAL	校正	增益校正	0110 0001 (61h)	

1) X for don't care
2) *yyyyy* for the starting address of the registers
3) *nnnnn* for the number of registers to be handled - 1

12.5.1.1. SDATAC：退出连续数据采样模式

在连续数据采样模式下，如果同时又使用 RDATA 或者 RREG 指令读取其它需要的数据，就会和原本正在连续输出的数据产生冲突。因此必须先使用 SDATAC 退出连续数据采集模式，再执行 RREG 或者 RDATA 指令输出需要的数据。片选信号置高后会取消 SDATAC 状态，因此在 SDATAC 状态下需要保持片选信号置位。

12.5.1.2. WAKEUP：从待机模式中恢复

WAKEUP 指令用于将器件从待机模式中恢复。如果在正常器件正常工作的时候使用不会产生任何效果。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.5.1.3. STANDBY：进入待机模式

STANDBY 指令会让器件进入节能的待机模式，在此模式下寄存器配置会被保留，串行接口会保持活动状态。通过使片选信号置高或者接收到 WAKEUP 指令，器件会退出待机模式。如果想完全关掉器件，则可以通过置位 $\overline{\text{PWDN}}$ 管脚实现。

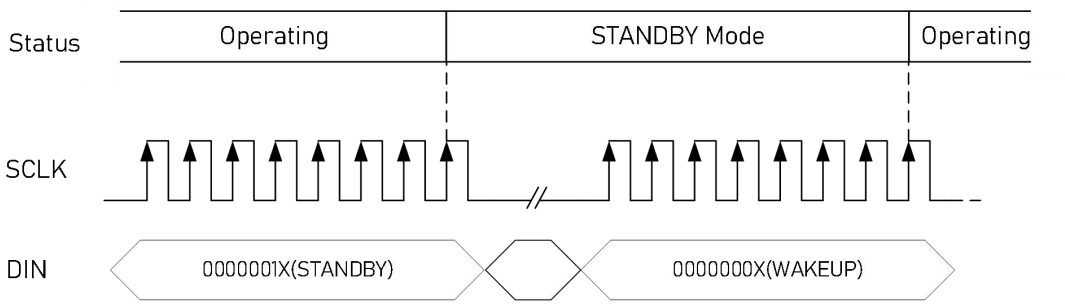


图 36 STANDBY 和 WAKEUP 指令时序

12.5.1.4. SYNC：同步 AD 转换

当接收到 SYNC 指令后，正在进行中的数据读取会被取消，然后重新开始数据转换过程。可以同时发送 SYNC 给多个 LTD2532 来实现同步转换。这个过程中，SYNC 管脚需要保持高电平。

12.5.1.5. RESET：复位器件

RESET 指令会复位所有寄存器到默认值，并进入连续数据采集模式。这个指令与置位 $\overline{\text{RESET}}$ 管脚等效。

12.5.1.6. RDATAC：连续数据采集

RDATAC 指令会让器件进入连续数据采集模式。 $\overline{\text{DRDY}}$ 会指示数据转换是否完成。

12.5.1.7. RDATA：读取数据

通过 RDATA 指令手动读取转换后的数据。使用这个指令前需要先退出连续数据采集模式。

12.5.1.8. RREG：读寄存器数据

RREG 指令包含两个字节。第一个字节说明了寄存器的起始地址，下一个字节说明从起始地址开始需要读取的寄存器数量。图 37 的示例展示了 RREG 指令的时序。

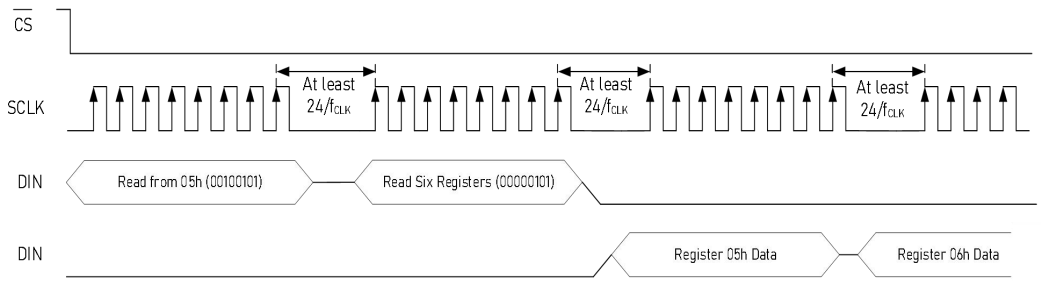


图 37 RREG 时序

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.5.1.9. WREG：写入寄存器数据

WREG 指令包含两个字节。第一个字节说明了寄存器的起始地址，下一个字节说明从起始地址开始需要写入的寄存器数量。图 38 的示例展示了 WREG 指令的时序。

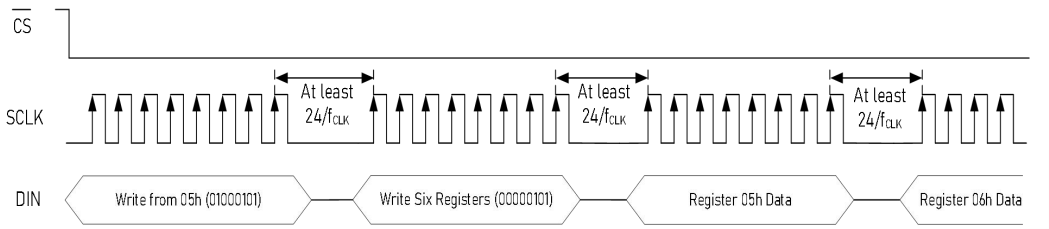


图 38 WREG 时序

12.5.1.10. OFSCAL：失调电压校正

见 12.4.13.1 章节。

12.5.1.11. GANCAL：增益校正

见 12.4.13.1 章节。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.6. 寄存器映射

通过读取和写入寄存器，用户可以获取器件的所有信息，并且完全的操控器件。在任何寄存器被重新写入数据后，器件都会复位，因此会有 64 个读数周期的中断。

表 19 寄存器映射

Addr.	Name	Default value	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h	ID_CFG	X0h	ID3	ID2	ID1	ID0	0	0	OFFSET1	OFFSET0
01h	CONFIG0	52h	SYNC	MODE	DR2	DR1	DR0	PHASE	FILTR1	FILTR0
02h	CONFIG1	08h	0	MUX2	MUX1	MUX0	CHOP	PGA2	PGA1	PGA0
03h	HPF0	32h	HPF07	HPF06	HPF05	HPF04	HPF03	HPF02	HPF01	HPF00
04h	HPF1	03h	HPF15	HPF14	HPF13	HPF12	HPF11	HPF10	HPF09	HPF08
05h	OFC0	00h	OFC07	OFC06	OFC05	OFC04	OFC03	OFC02	OFC01	OFC00
06h	OFC1	00h	OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC09	OFC08
07h	OFC2	00h	OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16
08h	FSC0	00h	FSC07	FSC06	FSC05	FSC04	FSC03	FSC02	FSC01	FSC00
09h	FSC1	00h	FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC09	FSC08
0Ah	FSC2	40h	FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16

12.6.1. 寄存器描述

12.6.1.1. ID_CFG: ID_配置寄存器（地址 = 00h） [默认值 = x0h]

ID_CFG Register

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ID3	ID2	ID1	ID0	0	0	OFFSET1	OFFSET0
R-xh	R-xh	R-xh	R-xh	R/W-0h	R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

Bit[7:4] **ID[3:0]**
出厂时规定的身份识别位，只读。身份位可能会根据内部规则发生更改，不会对用户进行通知。

Bit[3:2] **Reserved**
无意义，写入 00

Bit[1:0] **OFFSET[1:0] (see Offset section)**
00: 无固定失调(默认)
01: 无意义
10: 固定失调 = 100/PGA mV
11: 固定失调 = 75/PGA mV

12.6.1.2. CONFIG0: 配置寄存器 0（地址 = 01h）[默认值 = 52h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SYNC	MODE	DR2	DR1	DR0	Reserved	FILTR1	FILTR0
R/W-0h	R/W-1h	RW-0h	R/W-1h	R/W-0h	R/W-0h	R/W-1h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

Bit[7] **SYNC**
同步模式指示位
0: 脉冲同步模式（默认）
1: 连续同步模式

Bit[6] **MODE**
模式控制
0: 低功耗模式

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

1: 高性能模式（默认）

Bit[5:3] **DR[2:0]**
数据速率选择位.
000: 250 SPS
001: 500 SPS
010: 1000 SPS（默认）
011: 2000 SPS
100: 4000 SPS

Bit[2] **Reserved**
总是写入 0

Bit[1:0] **FILTR[1:0]**
数字滤波器配置位
00: 无意义
01: Reserved
10: Sinc + LPF 滤波（默认）
11: Sinc + HPF 滤波

12.6.1.3. CONFIG1: 配置寄存器 1（地址 = 02h）[默认值 = 08h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	MUX2	MUX1	MUX0	CHOP	PGA2	PGA1	PGA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

Bit[7] **Reserved**
无意义，写 0

Bit[6:4] **MUX [2:0]**
多路复用器选择位.
000: AINP1 和 AINN1（默认）
001: AINP2 和 AINN2
010: 通过 400-Ω电阻内部短路
011: AINN1 与 AINN2 相互短路，AINP1 与 AINP2 相互短路
100: 内部短路连接至 AINN2

Bit[3] **CHOP**
PGA 斩波控制位
0: PGA 斩波关闭
1: PGA 斩波开启（默认）

Bit[2:0] **PGA[2:0]**
PGA 增益选择位
000: G = 1（默认）
001: G = 2
010: G = 4
011: G = 8
100: G = 16
101: G = 32
110: G = 64

12.6.1.4. HPF0: 高通滤波器转角频率，低字节（地址 = 03h）[默认值 = 32h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HPF07	HPF06	HPF05	HPF04	HPF03	HPF02	HPF01	HPF00
R/W-0h	R/W-0h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-1h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

12.6.1.5. HPF1: 高通滤波器转角频率，高字节（地址 = 04h）[默认值 = 03h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HPF15	HPF14	HPF13	HPF12	HPF11	HPF10	HPF09	HPF08
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R/W-1h

R/W: Read/Write; R: Read only; -n = default value

12.6.1.6. OFC0: 失调电压校正，低字节（地址 = 05h）[默认值 = 00h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OFC07	OFC06	OFC05	OFC04	OFC03	OFC02	OFC01	OFC00
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

12.6.1.7. OFC1: 失调电压校正，中字节（地址 = 06h）[默认值 = 00h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC09	OFC08
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

12.6.1.8. OFC2: 失调电压校正，高字节（地址 = 07h）[默认值 = 00h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

12.6.1.9. FSC0: 满量程校正，低字节（地址 = 08h）[默认值 = 00h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSC07	FSC06	FSC05	FSC04	FSC03	FSC02	FSC01	FSC00
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

12.6.1.10. FSC1: 满量程校正，中字节（地址 = 09h）[默认值 = 00h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC09	FSC08
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

12.6.1.11. FSC2: 满量程校正，高字节（地址 = 0Ah）[默认值 = 40h]

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16
R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

13. 代码示例

下面给出了一个应用 LTD2532 的代码示例。代码给出了初始化 LTD2532 以及配置 offset 寄存器以及失调自动校正寄存器的过程；在校正完成后，开始正常读取数据。如有必要，还可以根据控制外部输入信号来进行增益校正。

```
void LTD2532Init(void)   //初始化
{
        SPI_GpioInit();
        LTD2532_SyncLow;              //sync=0
        LTD2532_PdwnHigh;             //pwdn=1
        LTD2532_ResetHigh;            //reset=1
        LTD2532_ResetLow;             //reset=0
        LTD2532_ResetHigh;            //reset=1
        LTD2532WriteReg(0x00,0xB2);   //设置 ID_CFG(地址 0)      Offset = 100/PGA mV
        LTD2532WriteReg(0x01,0x42);   //设置 CONFIG0，配置速率 DR=250 SPS
        LTD2532WriteReg(0x02,0x28);   //设置 CONFIG1，配置内部短接模式，增益为 1；
        LTD2532WriteCmd(0x60);        //Offset calibration  发 OFSCAL 命令 0x60
        LTD2532WriteReg(0x02,0x08);   //设置 CONFIG1，配置采集端口为通道 1，增益为 1；
        LTD2532_ReadData;
}
```

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

14. 封装信息

QFN4x5-24L

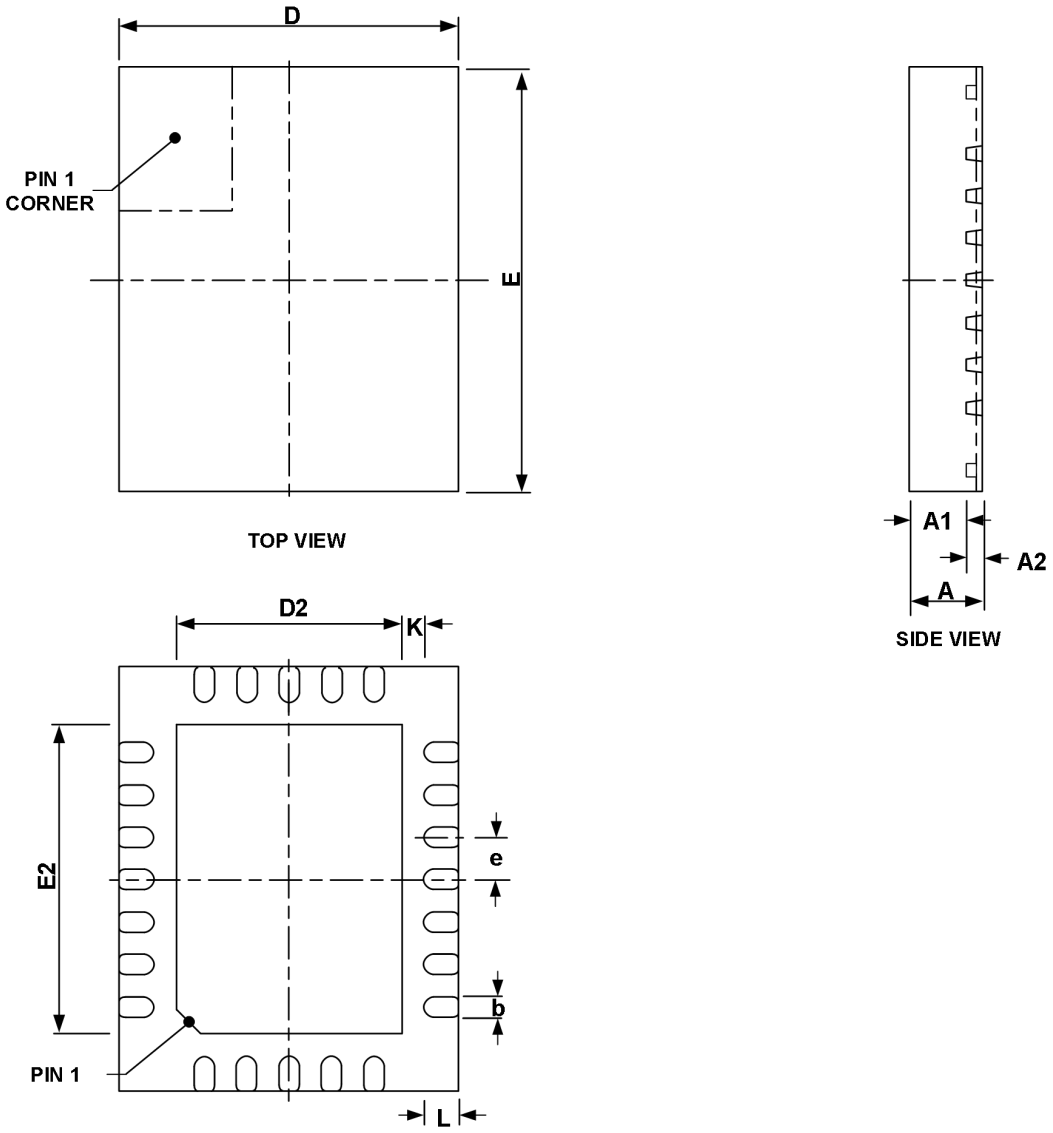


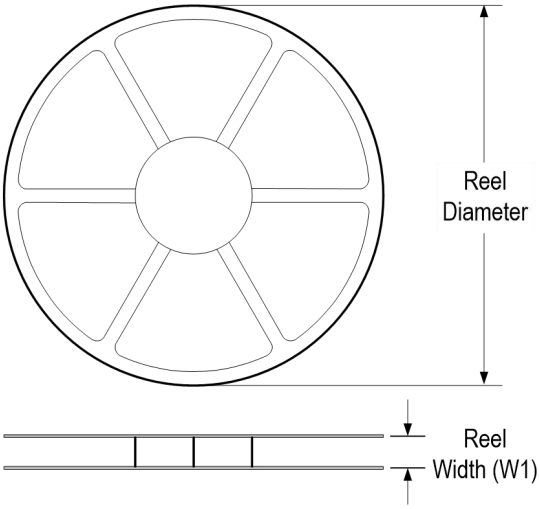
表 20 封装信息

Symbol	尺寸(mm)		
	Min.	Nom.	Max.
A	0.80	0.85	0.90
A1	---	0.65	---
A2		0.203 REF	
b	0.2	0.25	0.3
D		4 BSC	
E		5 BSC	
e		0.5 BSC	
D2	2.55	2.65	2.75
E2	3.55	3.65	3.75
L	0.3	0.4	0.5
K		0.275 REF	

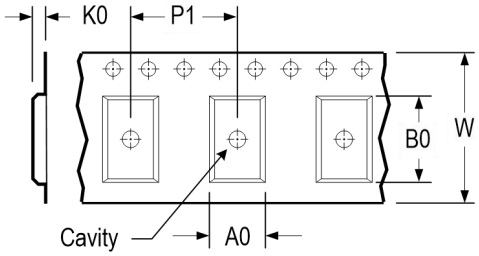
CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

15. 编带和卷轴信息

REEL DIMENSIONS

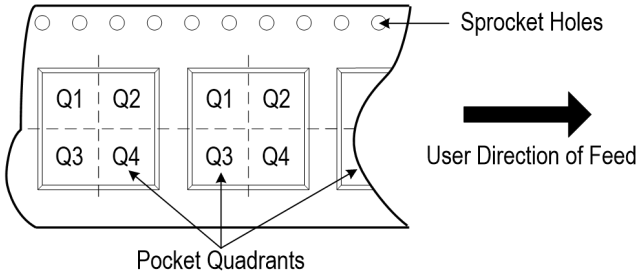


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIETATION IN TAPE



* All dimensions are nominal

Device	Package Type	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin 1 Quadrant
LTD2532XF24/R1	QFN4x5-24L	24	500	330	12.5	4.3	5.3	1.0	8.0	12.0	Q1

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.

16. 说明

Linearin 是一家全球性的无晶圆厂半导体公司，专注于先进的高性能高质量模拟/混合信号 IC 产品及传感器解决方案。公司致力于创新高性能、模拟密集型传感器前端产品及模块化传感器解决方案，应用于医疗与可穿戴设备、智能家居、物联网传感、智能工业与智能工厂（工业 4.0）以及汽车等多个市场。Linearin 的产品系列包括广泛使用的标准目录产品、基于解决方案的应用特定标准产品（ASSP）以及传感器模块，这些产品能够帮助客户实现更快的产品上市速度。欲了解 Linearin 产品系列的完整清单，请访问：http://www.linearin.com。

欲获取更详细的产品信息或完整数据表，敬请与 Linearin 的销售部或代表联系。

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
Linearin and designs are registered trademarks of Linearin Technology Corporation.
© Copyright Linearin Technology Corporation. All Rights Reserved.
All other trademarks mentioned are the property of their respective owners.